

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

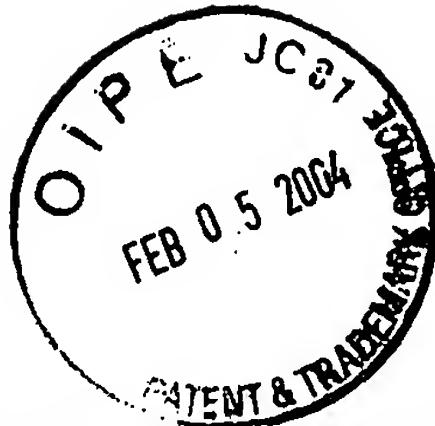
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



PATENT
Customer No. 22,852
Attorney Docket No. 04329.3138

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:)
Kouji MATSUO.) Group Art Unit: 2811
Application No.: 10/660,559) Examiner: Not Yet Assigned
Filed: September 12, 2003)
For: SEMICONDUCTOR DEVICE AND)
METHOD OF MANUFACTURING)
THE SAME)

Commissioner for Patents
P. O. Box 1450
Alexandria, VA 22313-1450

CLAIM FOR PRIORITY

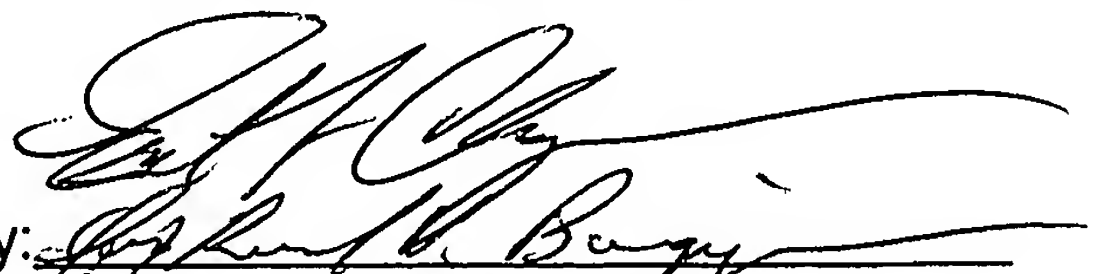
Sir:

Under the provisions of Section 119 of 35 U.S.C., Applicant hereby claims the benefit of the filing date of Japan Patent Application Nos. 2002-266759, filed September 12, 2002, and 2003-318143, filed September 10, 2003, for the above identified United States Patent Application.

In support of Applicant's claim for priority, certified copies of the priority applications are filed herewith.

Respectfully submitted,

FINNEGAN, HENDERSON, FARABOW,
GARRETT & DUNNER, L.L.P.

By: 
Richard V. Burgujian
Reg. No. 31,744

Dated: February 5, 2004

FINNEGAN
HENDERSON
FARABOW
GARRETT &
DUNNER LLP
1300 I Street, NW
Washington, DC 20005
202.408.4000
Fax 202.408.4400
www.finnegan.com

ERNEST F. CHAPMAN
Reg. No. 25,961

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 9月12日

出 願 番 号

Application Number:

特願2002-266759

[ST.10/C]:

[JP2002-266759]

出 願 人

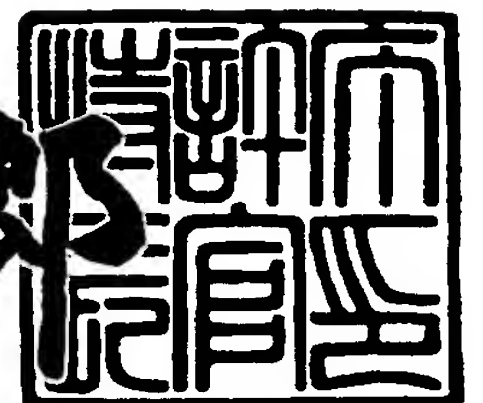
Applicant(s):

株式会社東芝

2003年 4月11日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



【書類名】 特許願

【整理番号】 APB0270041

【提出日】 平成14年 9月12日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/08
H01L 21/425

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 13

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝
横浜事業所内

【氏名】 松尾 浩司

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100097629

【弁理士】

【氏名又は名称】 竹村 壽

【電話番号】 03-3843-4628

【手数料の表示】

【予納台帳番号】 004961

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板と、

前記半導体基板の表面領域に形成され、それぞれエクステンション領域とコンタクトジャンクション領域とから構成されたソース領域及びドレイン領域と、

前記半導体基板上において前記ソース・ドレイン領域間上に形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に形成されたゲート電極とを具備し、

前記半導体基板の少なくとも前記ゲート電極が形成された下部の少なくとも一部は、前記半導体基板の他の部分より窪んでおり、且つその窪み深さは、6 nm 以下であることを特徴とする半導体装置。

【請求項 2】 前記窪みの半導体基板表面からの深さは、前記エクステンション領域のイオン注入時における不純物濃度ピークの半導体基板表面からの深さより深いことを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記ソース・ドレイン領域の前記エクステンション領域は、互いに対向して前記ゲート電極の下部に延在しており、その延在している部分の長さは、前記エクステンション領域の前記半導体基板表面からの深さの $2/3$ より十分短いことを特徴とする請求項 1 又は請求項 2 に記載の半導体装置。

【請求項 4】 前記ゲート電極の材料は、ポリシリコン、金属もしくはその合金、シリコンとゲルマニウムの混合物のいずれかであることを特徴とする請求項 1 乃至請求項 3 のいずれかに記載の半導体装置。

【請求項 5】 前記ゲート電極の材料がポリシリコンからなる場合において、前記ゲート電極表面及び前記ソース・ドレイン領域表面にはシリサイド層が形成されていることを特徴とする請求項 1 乃至請求項 3 のいずれかに記載の半導体装置。

【請求項 6】 半導体基板上にダミーゲート絶縁膜及びその上にダミーゲート電極を形成する工程と、

前記半導体基板の表面領域に前記ダミーゲート絶縁膜及びダミーゲート電極を

マスクにして不純物をイオン注入しエクステンション領域を形成する工程と、

前記ダミーゲート絶縁膜及びダミーゲート電極の側面にゲート側壁絶縁膜を形成する工程と、

前記半導体基板の表面領域に前記ダミーゲート絶縁膜、前記ダミーゲート電極及びゲート側壁絶縁膜をマスクにして不純物を注入しコンタクトジャンクション領域を形成し、このコンタクトジャンクション領域と前記エクステンション領域とから構成されたソース領域及びドレイン領域を形成する工程と、

前記半導体基板上に前記ダミーゲート絶縁膜、前記ダミーゲート電極及びゲート側壁絶縁膜を被覆するように層間絶縁膜を形成する工程と、

前記層間絶縁膜を前記ダミーゲート電極の表面が露出するまで研磨して表面の平坦化を行う工程と、

前記ダミーゲート電極及び前記ダミーゲート絶縁膜を選択的に除去し、前記層間絶縁膜にゲート開口領域を形成する工程と、

前記ゲート開口領域の底部に露出する前記半導体基板表面を酸化し、この酸化された部分を選択的に除去することにより前記半導体基板の表面領域に窪みを形成する工程と、

前記ゲート開口領域底面の前記窪み表面を絶縁化してゲート絶縁膜を形成する工程と、

前記ゲート開口領域内に前記ゲート電極材料を埋め込んでゲート電極を形成する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項 7】 前記窪みの半導体基板表面からの深さは、前記エクステンション領域のイオン注入時における不純物濃度ピークの半導体基板表面からの深さより深いことを特徴とする請求項 6 に記載の半導体装置の製造方法。

【請求項 8】 前記半導体基板の表面領域に窪みを形成する工程において、プラズマ酸素により前記半導体基板表面を 6 0 0 ℃以下で酸化することを特徴とする請求項 6 又は請求項 7 に記載の半導体装置の製造方法。

【請求項 9】 前記窪みの深さは、6 n m 以下であることを特徴とする請求項 6 乃至請求項 8 のいずれかに記載の半導体装置の製造方法。

【請求項 1 0】 前記ゲート絶縁膜は、少なくともプラズマ酸化を用いて形

成されることを特徴とする請求項 6 乃至請求項 9 のいずれかに記載の半導体装置の製造方法。

【請求項 1 1】 前記ゲート電極がポリシリコンで形成されている場合において、前記ゲート電極に不純物をイオン注入し、その後 1 0 0 0℃以上で熱処理して前記不純物を活性化させる工程をさらに備えたことを特徴とする請求項 6 乃至請求項 1 0 のいずれかに記載の半導体装置の製造方法。

【請求項 1 2】 前記ソース・ドレイン領域の不純物濃度が $1 \text{ E} / 1 9 \text{ c m}^2$ 以上の領域は、前記半導体基板から少なくとも 1 0 n m 以下であることを特徴とする請求項 6 乃至請求項 1 1 のいずれかに記載の半導体装置の製造方法。

【請求項 1 3】 前記ゲート電極がポリシリコンからなる場合において、前記層間絶縁膜を前記半導体基板から除去した後に、前記ゲート電極表面及び前記ソース・ドレイン領域表面にシリサイド層を形成することを特徴とする請求項 6 乃至請求項 1 2 のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、微細化が要求されるゲート電極及びソース・ドレイン領域を備えた素子の構造及びその製造方法に関するものである。

【 0 0 0 2 】

【従来の技術】

近年、半導体装置は、益々微細化が要求されている。とくに、M I S F E T (Metal Insulated Semiconductor Field Effect Transistor) もしくは M O S F E T (Metal Oxide Semiconductor Field Effect Transistor) は、より浅い接合が求められている。しかし、微細化が進むにつれて従来の方法では浅い接合を形成するには限界がある。以下、図 9 乃至図 1 4 を参照して従来の M I S F E T の製造方法及びその問題点について説明する。図 9 及び図 1 0 は、従来構造の M I S F E T の製造工程断面図、図 1 1 及び図 1 2 は、ごく浅い A s と B のイオン注入を行ったシリコンウェハの深さ方向の A s 又は B の濃度分布図、図 1 3 は、M I S F E T が形成された半導体基板のゲート電極エッジの拡大図、図 1 4 は、エ

クステンション領域がソース・ドレイン間でつながったM I S F E Tの断面図である。

【 0 0 0 3 】

まず、図9 (a) に示すように、シリコンなどの半導体基板1 0 1にS T I (Shallow Trench Isolation)技術等を用いて素子分離領域1 0 2を形成する。半導体基板1 0 1は、例えば、n型である。続いてゲート絶縁膜として、例えば、1 n m程度のゲート窒化酸化膜1 0 3、ゲート電極1 0 4として1 0 0 n m程度のポリシリコン膜1 0 4を成膜してゲート加工を行う。続いて、イオン注入技術を用いてソース・ドレイン領域の浅い部分である、例えば、p型のエクステンション領域1 0 5を形成する。イオン注入後の熱工程は、イオン注入により壊れた結晶を回復する程度に行っておく。具体的には、8 0 0 ℃の数秒のR T A (Rapid Thermal Annealing) であれば十分である。

次に、図9 (b) に示すように、ゲート電極1 0 4の側面に、ゲート側壁絶縁膜1 0 6をシリコン窒化膜やシリコン酸化膜などの成膜とエッチングを用いて形成し、ソース・ドレインの深い接合部分であるコンタクトジャンクション領域1 0 7を形成する。このコンタクトジャンクション領域1 0 7へのイオン注入によりゲート電極1 0 4にもコンタクトジャンクション領域と同じ不純物が注入される。

【 0 0 0 4 】

次に、図1 0 (a) に示すように、コンタクトジャンクション領域1 0 7及びゲート電極1 0 4に注入されたイオンを活性化するために、1 0 0 0 ℃以上の活性化工程を行う。このような高温が必要であるのは、ゲート空乏化を抑制するためである。この熱処理により、深くなったエクステンション領域1 0 8が形成される。

次に、図1 0 (b) に示すように、サリサイド技術を用いて、シリコンが露出しているコンタクトジャンクション領域1 0 7表面及びゲート電極1 0 4の上面にC oやN iなどのシリサイド層1 0 9を形成する。

また、従来技術には、例えば、非特許文献1にも記載されているように、コンケープ型トランジスタがある。これは、ショートチャネル効果を防止する目的で

作られたトランジスタであり、チャンネルが形成されている領域には、半導体基板からの深さが少なくとも10nm程度の溝が形成されている。溝の側壁及び底面にはゲート絶縁膜が形成されている。

【0005】

【非特許文献1】

Junko Tanaka, et al., "A sub-0.1 μ m Grooved Gate MOSFET with High Immunity to Short Channel Effects" IEDM Tech. Digest, pp. 537-540 1993

この非特許文献1には、全面に形成したエレベータッドソース・ドレイン領域をゲート部のみ分断し、その部分にAsのエクステンション領域を形成する（Fig. 1（b））。さらに、内側に側壁を形成した後に、このエクステンション領域を分断してチャンネル領域を作る（Fig. 1（c））。

【0006】

【発明が解決しようとする課題】

以上の工程により、一般にサリサイドゲートと呼ばれるMOSFET素子が完成する。ここで、MOSFETの微細化に対する問題の1つは、浅い接合であるエクステンション拡散領域105が、1000℃以上の熱工程により深くなってしまうことである。図11及び図12は、それぞれごく浅いAs（ひ素；arsenic）とB（ボロン；boron）のイオン注入を行ったシリコンウェハの深さ方向のAs又はBの濃度分布である。ここでは1085℃の熱処理前後での濃度分布を比較している。図から明らかなように、800℃で数秒程度の熱処理だけであれば、現在のイオン注入技術を用いても、10nm程度の接合が形成されていることが分かる（接合深さは、チャンネル濃度と同じ濃度になったところである。チャンネル濃度は、ゲート長が50nm以下においては大体 $1\text{E}18/\text{cm}^3$ から $1\text{E}19/\text{cm}^3$ の領域である。しかし、1085℃の熱処理では、接合深さは、とくにボロンは、30nm程度になってしまふことが分かる。

【0007】

図13は、MOSFETが形成された半導体基板のゲート電極エッジの拡大図

である。それぞれ 1000°C 以上の熱処理前のエクステンション領域 10^5 と熱処理後の深くなったエクステンション領域 10^8 の状態を示している。熱処理後ではエクステンション拡散領域 10^8 は、深くなると同時に、横方向にも延びている。横方向に延びるのは、 $1\text{E}19/\text{cm}^3$ 以上の高濃度領域 10^8 が拡散源になっているためである。通常、横方向の延び量は、深さ (A) 方向の約 $2/3$ ($A \times 2/3$) である。したがって、図 12 から見積もると、横方向に 20nm 以上延びてしまうことが分かる。すると、図 14 に示すように、ゲート長が 40nm 以下になると、エクステンション領域がソース・ドレイン間でつながってしまい、もはや MOSFET 動作ができなくなる。

このように、エクステンション領域がつながってしまうのを防ぐために、この部分に逆導電型の不純物を打ち込んで（例えば、エクステンション領域が n 型なら p 型不純物を打ち込む）不純物濃度を実質的に下げることによりエクステンション領域として機能する領域範囲を小さくしてこのつながりを断つ技術が知られているが、工程が複雑になる上、トランジスタ性能の劣化を招くので好ましい方法ではない。

【0008】

また、非特許文献 1 に記載されたコンケーブ型トランジスタは、通常のトランジスタに比べてチャネル長が長くショートチャネル効果が減少している。しかし、エクステンションを分断してチャネルを形成する方法においては、分断するための深さは、少なくともエクステンションの深さ方向の濃度がチャネルの濃度、つまり $1\text{E}18\text{cm}^3$ を十分に下回る領域となる深さが必要である。従って、図 11 及び図 12 より、その深さは少なくとも 10nm 以上が必要となることは明らかである。このような 10nm 以上の深さになると、エクステンション領域とゲート間のオーバーラップ量が極端に増加してしまうため、トランジスタの高性能化が出来なくなってしまう。

本発明は、このような事情によりなされたものであり、エクステンション領域の不純物の導電型とは逆の導電型の不純物をエクステンション領域に打ち込むことによってその部分を実質的にエクステンション領域ではなくするという手法にあまり頼らずに、具体的には、エクステンション領域に打ち込む逆導電型の不純

物の量は最低限に減らすことができ、且つ現在のイオン注入技術と活性化熱処理技術を用いて微細なM I S F E Tを実現することができる浅いソース・ドレイン領域（エクステンション領域）を有する半導体装置及びその製造方法を提供するものである。

【 0 0 0 9 】

【課題を解決するための手段】

本発明は、半導体基板に形成されたM I S F E Tのゲート電極下部に位置する部分がソース・ドレイン領域が形成された他の部分より窪んでいることを特徴としている。また、ソース・ドレイン領域のエクステンション領域がゲート電極下を延在する部分の長さは、エクステンション領域の深さの2 / 3 より十分小さいことが特徴であり、この特徴により微細なM I S F E Tを実現できる。また、その窪み深さは、6 n m以下、好ましくは6 ~ 2 n mが適している。

また、本発明は、半導体装置の製造方法において、ソース・ドレイン領域が形成された半導体基板のゲート電極形成領域に窪みを形成し、その領域にゲート絶縁膜をプラズマ酸化などの低温（6 0 0 ℃以下、好ましくは5 0 0 ℃以下）で形成し、その上にゲート電極を堆積させることを特徴としている。この後にM I S F E Tに対して行われるゲート電極中の不純物を活性化させるなどの熱処理（1 0 0 0 ℃以上）によっても半導体基板中の不純物がゲート電極下を横方向に拡散することは従来より格段に少なくなり、微細なM I S F E Tを実現できるエクステンション領域（浅いソース・ドレイン領域）を形成することが可能になる。

【 0 0 1 0 】

本発明の半導体装置は、半導体基板と、前記半導体基板の表面領域に形成され、それぞれエクステンション領域とコンタクトジャンクション領域とから構成されたソース領域及びドレイン領域と、前記半導体基板上において前記ソース・ドレイン領域間上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極とを具備し、前記半導体基板の少なくとも前記ゲート電極が形成された下部の少なくとも一部は、前記半導体基板の他の部分より窪んでおり、且つその窪み深さは、6 n m以下であることを特徴としている。前記窪みの半導体基板表面からの深さは、前記エクステンション領域のイオン注入時における不純物濃

度ピークの半導体基板表面からの深さより深くしてもよい。不純物の横方向の拡散が有効に阻止されてゲート電極下の延在部分短くなる。

前記ソース・ドレイン領域の前記エクステンション領域は、互いに対向して前記ゲート電極の下部に延在しており、その延在している部分の長さは、前記エクステンション領域の前記半導体基板表面からの深さの $2/3$ より十分短いようにしても良い。前記ゲート電極の材料は、ポリシリコン、金属もしくはその合金、シリコンとゲルマニウムの混合物のいずれかを用いることができる。前記半導体基板に形成された半導体装置は、 n 型MISFET及び p 型MISFETから構成された相補型MISFETであっても良い。前記ゲート電極にポリシリコンを用いた場合、前記ゲート電極表面及び前記ソース・ドレイン領域表面にはシリサイド層が形成されていることができる。

【0011】

本発明の半導体装置の製造方法は、半導体基板上にダミーゲート絶縁膜及びその上にダミーゲート電極を形成する工程と、前記半導体基板の表面領域に前記ダミーゲート絶縁膜及びダミーゲート電極をマスクにして不純物を注入しエクステンション領域を形成する工程と、前記ダミーゲート絶縁膜及びダミーゲート電極の側面にゲート側壁絶縁膜を形成する工程と、前記半導体基板の表面領域に前記ダミーゲート絶縁膜、前記ダミーゲート電極及びゲート側壁絶縁膜をマスクにして不純物を注入しコンタクトジャンクション領域を形成し、このコンタクトジャンクション領域と前記エクステンション領域とから構成されたソース領域及びドレイン領域を形成する工程と、前記半導体基板上に前記ダミーゲート絶縁膜、前記ダミーゲート電極及びゲート側壁絶縁膜を被覆するように層間絶縁膜を形成する工程と、前記層間絶縁膜を前記ダミーゲート電極の表面が露出するまで研磨して表面の平坦化を行う工程と、前記ダミーゲート電極及び前記ダミーゲート絶縁膜を選択的に除去し、前記層間絶縁膜にゲート開口領域を形成する工程と、前記ゲート開口領域の底部に露出する前記半導体基板表面を酸化し、この酸化された部分を選択的に除去することにより前記半導体基板の表面領域に窪みを形成する工程と、前記ゲート開口領域底面の前記窪み表面を絶縁化してゲート絶縁膜を形成する工程と、前記ゲート開口領域内に前記ゲート電極材料を埋め込んでゲート

電極を形成する工程とを備えたことを特徴としている。

【 0 0 1 2 】

前記窪みの半導体基板表面からの深さは、前記エクステンション領域のイオン注入時における不純物濃度ピークの半導体基板表面からの深さより深くしてもよい。横方向の不純物拡散が有効に阻止される。

前記層間絶縁膜は、エッチングストッパーとなるシリコン窒化膜及びその上に形成されたシリコン酸化膜から構成されているようにしても良い。前記層間絶縁膜を平坦化する工程において、平坦化処理は、化学的機械的研磨により行うようにしても良い。前記半導体基板の表面領域に窪みを形成する工程において、プラズマ酸素により前記半導体基板表面を 6 0 0 °C 以下で酸化するようにしても良い。前記窪みの深さは、6 n m 以下であるようにしても良い。前記ゲート絶縁膜は、少なくともプラズマ酸化を用いて形成するようにしても良い。前記ゲート電極がポリシリコンで形成されている場合において、前記ゲート電極に不純物をイオン注入し、その後 1 0 0 0 °C 以上で熱処理して前記不純物を活性化させる工程をさらに備えるようにしても良い。前記ソース・ドレイン領域の不純物濃度が $1 \text{ E} / 19 \text{ cm}^2$ 以上の領域は、前記半導体基板から少なくとも 1 0 n m 以下であるようにしても良い。前記ゲート電極にポリシリコンを用いる場合、前記層間絶縁膜を前記半導体基板から除去した後に、前記ゲート電極表面及び前記ソース・ドレイン領域表面にシリサイド層を形成するようにしても良い。

【 0 0 1 3 】

【発明の実施の形態】

以下、図面を参照して発明の実施の形態を説明する。

本発明では、ソース・ドレイン領域を構成するエクステンション領域の接合深さが 3 0 n m 程度となる従来のイオン注入+活性化アニール技術を用いても、横方向の拡散を 2 0 n m 以下（エクステンション領域の接合深さの $2 / 3$ 以下）にする技術を提供するものである。そのために、本発明は、少なくともゲート電極下のチャネル領域に、ソース・ドレイン領域形成が完遂する前に、窪みを形成しておくことを特徴としている。

【 0 0 1 4 】

まず、図 1 乃至図 5 を参照して第 1 の実施例を説明する。

図 1 乃至図 4 (a) は、ポリシリコンをゲート電極とする M I S F E T の製造工程断面図、図 4 (b) は、図 4 (a) に示す M I S F E T の斜視図を示している。この実施例における M I S F E T の形成方法を工程順に示し、その後この様な工程を適用する理由を述べる。図 1 (a) に示された工程 1 は、シリコンなどの半導体基板 1 の表面領域に S T I 技術などにより素子分離領域 2 を形成し、続いて、後に除去するダミーゲートの酸化膜を成膜する。続いて、後に除去するダミーゲートの電極材料として、例えば、ポリシリコン膜を成膜する。そして、ポリシリコン膜及び酸化膜に対してゲート加工を行ってダミーのゲート電極 4 及びゲート絶縁膜 3 を形成する。ダミーのゲート絶縁膜 3 は、6 n m 程度の厚膜でも良い。従来のゲート絶縁膜には 1 . 0 n m 程度の極薄膜が要求されるが、このプロセスではダミーを用いるので、そのような極薄膜は必要としない。したがって、ポリシリコン膜のゲート加工は、ストッパーとなるゲート絶縁膜が 6 n m と厚いため従来技術と比べて非常に容易になる。そして、従来技術と同様に、イオン注入技術を用いて、エクステンション領域 5、ゲート側壁絶縁膜 6、コンタクトジャンクション領域 7 を形成する。

【 0 0 1 5 】

イオン注入後は、せいぜい結晶回復のために 8 0 0 ℃ 程度の熱処理を行う。これによってエクステンション領域の深さは、1 0 n m 以下に形成されている。半導体基板は、例えば、n 型であり、エクステンション領域は、p 型である。

次に、図 1 (b) を参照して工程 2 を説明する。この工程では、層間絶縁膜をダミーのゲート電極上に形成する。この層間絶縁膜として、例えば、後のエッチングストッパーとなるライナーシリコン窒化膜 (S i N) 8 及びシリコン酸化膜 (S i O ₂) 9 を順次堆積させる。

次に、図 1 (c) を参照して工程 3 を説明する。この工程では、層間絶縁膜を構成するライナーシリコン窒化膜 (S i N) 8 及びシリコン酸化膜 (S i O ₂) 9 を C M P (Chemical Mechanical Polishing) 法等により研磨する。そしてダミーのゲート電極 4 が露出するまで研磨して層間絶縁膜の表面を平坦化する。

【 0 0 1 6 】

次に、図 2 (a) を参照して工程 4 を説明する。この工程では、層間絶縁膜から露出したダミーのゲート電極 4 を選択的に除去する。除去方法としては、例えば、プラズマを用いたエッチング法などを用いれば容易に行うことができる。続いて、ダミーのゲート絶縁膜 3 を希弗酸などの酸を用いて除去する。この処理により、半導体基板 1 のチャネル領域の表面が露出する。そして、層間絶縁膜 8、9 には、ダミーのゲート電極及びゲート酸化膜の形成跡がゲート開口溝 10 として形成される。

次に、図 2 (b) を参照して工程 5 を説明する。ここではゲート開口溝 10 の底面に露出したチャネル領域表面を酸化する。プラズマ酸素によりチャネル表面を酸化してプラズマ酸化膜 11 を形成する。酸化量は、膜厚 12 nm 程度の量で良い。酸化温度は 600℃以下、好ましくは 500℃以下の低温が良い。

【 0 0 1 7 】

次に、図 2 (c) を参照して工程 6 を説明する。ここではプラズマ酸化膜 11 を除去する。例えば、希弗酸などを用いてチャネル領域の表面に形成したプラズマ酸化膜 11 を選択的に除去する。この処理により、チャネル領域の表面は窪んで、リセスドチャネル 12 が形成される。チャネル領域の窪み深さ（以下、リセス (Recess) 量という）は、プラズマ酸化膜 11 の膜厚の約半分である。したがって、このリセスドチャネル 12 は、リセス量が約 6 nm である。

次に、図 3 (a) を参照して工程 7 を説明する。ここではゲート電極及びゲート絶縁膜を形成する。ゲート絶縁膜 13 は、例えば、プラズマ酸化により 1.0 nm 程度の酸化膜を形成し、続いてプラズマ窒化により酸化膜表面を窒化したシリコン酸化窒化膜から構成されている。全てプラズマによるプロセスで形成しているので、600℃以下で形成可能である。続いて、ゲート開口溝 10 にゲート電極材料を埋め込んでゲート電極 14 を形成する。埋め込み方法は、例えば、ゲート電極材料を半導体基板 1 の全面に成膜し、この膜を CMP などにより平坦化するというものがある。この実施例ではゲート電極材料としてポリシリコンを用いる。本発明では金属もしくはその合金やシリコンとゲルマニウムなどの混合物などを用いることができる。

【 0 0 1 8 】

次に、図 3 (b) を参照して工程 8 を説明する。この工程では、形成されたゲート電極の熱処理を行う。この実施例のゲート電極材料は、ポリシリコンである。ゲート電極 1 4 がポリシリコンであるので、イオン注入技術を用いて、ゲート電極 1 4 に砒素 (A s) やリン (P)、ボロン (B) などの不純物を導入する。続いて、ゲート電極 1 4 に注入された不純物を活性化するために 1 0 0 0℃以上の活性化熱処理工程を行う。この熱処理によって、エクステンション領域 5 も深くなり、拡散深さが深いエクステンション領域 1 5 が形成される。

次に、図 3 (c) を参照して工程 9 を説明する。この工程では層間絶縁膜 9 をフッ酸などを用いて選択的に除去する。続いて、ライナー S i N 膜 8 に対して R I E (Reactive Ion Etching) などの異方性エッチングを行うことによりコンタクトジャンクション領域 7 の表面を露出させる。

次に、図 4 (a) 及び図 4 (b) を参照して工程 1 0 を説明する。図 4 (b) は、図 4 (a) に示される M I S F E T の斜視図である。この工程では、サリサイドプロセスを用いて、シリコンが露出しているゲート電極 1 4 の上面とコンタクトジャンクション領域 7 の上面に選択的に C o や N i などのシリサイド層 1 6 を形成する。

【 0 0 1 9 】

以上、工程 1 ～工程 1 0 により第 1 の実施例に係る半導体装置である M I S F E T が形成される。この実施例では、工程 5 及び工程 6 に説明したように、リセスドチャネルを形成するところに特徴がある。リセスドチャネルは、ゲート電極下の半導体基板に窪み (リセス) が設けられているチャネル領域を意味する。

リセスドチャネルは、従来から提案されているが (前述したコンケーブ型 M I S F E T 参照)、本発明は、従来と根本的に異なるところがある。まず、1 つは本発明がプラズマ酸化膜を用いているところである。従来にも、熱酸化膜により酸化膜を形成して、エッチングする技術が提案されているが、この方法では、1 2 n m の酸化膜を形成するのに少なくとも 7 0 0℃以上で数分以上の処理が必要となるため、エクステンション領域中の不純物がこの熱工程で拡散してしまってエクステンション領域が深くなるという問題がある。

【 0 0 2 0 】

これに対し、本発明は、この実施例に示すように、プラズマ酸化を用いているので、まず、酸化温度が少なくとも 600°C 以下の低温であり、エクステンション領域中の不純物が酸化中に拡散することは全くない。そして、チャンネル領域のリセス量は酸化膜厚の約半分であるが、プラズマ酸化膜厚は現時点でもウェハ一面内で 0.2 nm 以下の誤差に制御することが可能であるため、チャンネル領域のリセス量の誤差は 0.1 nm 以下にすることが可能であり、ウェハ一面内できわめてしきい値ばらつきの少ないトランジスタを形成することが可能である。

以上が第 1 の実施例で説明する本発明の第 1 の作用効果であり、従来のリセスドチャンネルを有する半導体装置と異なるところである。

【 0 0 2 1 】

次に、さらに従来のものより優れた他の作用効果を説明する。

図 5 は、それぞれ工程 7 と工程 8 におけるゲート電極端を含む部分を拡大した平面図である。図 5 (a) は、熱処理前のエクステンション領域の一部を示しており、半導体基板 1 の表面領域にはエクステンション領域 5 内の高濃度拡散領域 17 (図 11、図 12 及び図 13 の 110 に相当する) がある。工程 8 における 1000°C 以上の熱処理のゲート活性化工程の前においては、図 5 (a) に示したエクステンション拡散層 5 の深さは 10 nm 以下である。そして、従来技術では、この後の 1000°C の熱処理により、 $1\text{ E }19/\text{cm}^3$ 以上の高濃度拡散領域 17 が、横方向の拡散の拡散源になって、 20 nm 以上横方向にエクステンション領域 5 が広がってしまった。横方向の拡散量は深さ方向の拡散量の約 $2/3$ であるので、深さ方向の拡散量は、 30 nm 程度である。

しかしながら、本発明においては、この高濃度拡散領域の深さ分 (約 6 nm) だけチャンネル領域が窪んでいる。従って、図 5 (b) に示すように、高濃度拡散領域 17 は、直接横方向に拡散することが出来ない。図 5 (b) は、熱処理後のエクステンション領域の一部を示している。従って、 1000°C 以上の熱処理後のエクステンション領域 15 は、横方向の拡散が従来技術に比べて飛躍的に少なくなる。すなわち、横方向の拡散量は、図 5 (b) に示すように、深さ方向の拡散量 (A) の約 $2/3$ より十分小さくなる ($\ll 2A/3$)。つまり、 20 nm より十分小さい。

【 0 0 2 2 】

以上が、この実施例で説明する本発明の第 2 の作用効果である。

例えば、従来のリセスドチャネルを有する M I S F E T の形成方法では、エクステンション拡散層深さ分の全てをリセスするなどの報告例があり、従来の技術で説明したコンケーブ型 M I S F E T はリセス量が少なくとも 1 0 n m である。しかし、本発明のものはこれとは全く異なっている。つまり、チャネル領域のリセス量は、1 0 0 0 °C 以上の熱処理前のエクステンション領域の $1 \text{ E } 1 9 / \text{ c m }^3$ 以上の高濃度拡散領域の深さ分だけリセスすればよい。

エクステンション領域の深さ分を全てリセスする必要は全くないし、また、そのエクステンション領域は、1 0 0 0 °C 以上の熱処理などのエクステンション領域の高濃度拡散領域の深さが 6 n m 以上になるような熱処理を行う前のエクステンション領域でなければならない。つまり、1 0 0 0 °C 以上の熱処理などが加わったあとで、チャネル領域をリセスした場合は、従来例の図 1 4 に示したように、既にエクステンション領域がソース・ドレイン領域間で繋がってしまっており、これを 6 n m 程度リセスしたところでトランジスタ動作はしないためである。ここが従来の方法と異なるところである。従来は、エクステンションを完全に形成した後にチャネルをリセスする方法である。

【 0 0 2 3 】

本発明では、チャネル領域をリセスした後に 1 0 0 0 °C 以上の熱処理など、エクステンション領域が深くなる熱処理を行う。勿論 1 0 0 0 °C 以上の熱処理でも、エクステンション領域が深くならない極短時間の熱処理で有れば、この熱処理の後にチャネル領域をリセスすることは差支えない。

さらに、本発明は、エクステンション領域の $1 \text{ E } 1 9 / \text{ c m }^3$ 以上好ましくは $1 \text{ E } 1 8 / \text{ c m }^3$ 以上の高濃度拡散領域の深さが、6 n m 以下好ましくは 6 ~ 2 n m になっている状態でチャネル領域をその高濃度拡散領域の深さ分だけリセス（窪みを作る）するのを特徴とする。したがって、本発明で形成されたエクステンション領域 1 5 は、従来技術のものとは、2 次元の不純物の拡散広がり異なっている。その広がり方は、イオン注入条件などにより変化するため一概に規定することは出来ないが、シミュレーションなどで容易にその違いを知ることが可

能である。簡単に言えば、ゲート電極の下部に位置する領域のエクステンション領域は、主にゲート電極の横に位置する高濃度拡散領域中の不純物が拡散することにより形成されている。よって、自ずと形状は決まってくる。すなわち、ゲート電極の下部に位置する領域のエクステンション領域は、このエクステンション領域の深さ方向の距離の約 $2/3$ より十分小さい形状をしている。そして、チャネル長は、微細化が進んでもトランジスタ特性を維持するに十分な長さを確保することができる。また、先に説明した従来のコンケーブ型トランジスタに用いられる熱酸化処理及びエッチングによりリセスドチャネルを形成する方法では、熱酸化を行う時点でエクステンション領域の高濃度拡散領域の不純物が熱拡散してしまうため、本発明の様な不純物拡散領域を形成することは不可能である。

【 0 0 2 4 】

本発明の特徴を纏めると以下の3つである。

1) チャネル領域のリセス方法は、プラズマ酸素による酸化技術を用いた 600°C 以下好ましくは 500°C 以下におけるチャネル領域の酸化及びウェットエッチング技術によるプラズマ酸化膜の除去である。

2) チャネル領域のリセス量は、エクステンション領域の $1\text{E}19/\text{cm}^3$ 以上好ましくは $1\text{E}18/\text{cm}^3$ 以上の高濃度拡散領域の深さ分だけチャネル領域をリセスすればよい。具体的なチャネル領域のリセス量は 6nm 以下好ましくは $6\text{nm}\sim2\text{nm}$ でよい。また、エクステンション領域の高濃度拡散領域の深さは、チャネル領域をリセスする時点で、少なくとも 6nm 以下好ましくは $6\text{nm}\sim2\text{nm}$ となっているように熱処理を加える。具体的には、チャネル領域をリセスするまでは、エクステンション領域には、せいぜい 800°C 程度で数分以下或いは 1000°C 以上においても、 $1\text{E}19/\text{cm}^3$ 以上の高濃度拡散領域の深さが 6nm 以下好ましくは $6\text{nm}\sim2\text{nm}$ 以下程度になる短い時間の熱処理にとどめることである。チャネル領域をリセスした後は、前記高濃度拡散領域の深さが 6nm 以上になるような熱処理が加わっても問題はない。

3) ゲート電極の下部に位置する領域のエクステンション領域は、このエクステンション領域の深さ方向の距離の約 $2/3$ より十分小さい。

【 0 0 2 5 】

以上が本発明の特徴の説明であるが、チャネル領域のリセス方法はプラズマ酸化以外にも、ドライエッチングやウェットエッチングにより半導体基板を直接エッチングしてもよい。この方法は過去にも提案されているが、これと違うのは、上記2)に示した部分である。

また、上記実施例は、ポリシリコンゲートを用いている。しかし、本発明はシリコンとゲルマニウムの混合物を用いたゲート電極でも同様の効果を発揮することができる。

さらに、ゲート電極の不純物の活性化のための熱処理工程を必要としないメタルゲートにおいても効果が発揮される。なぜなら、1000℃以上の熱処理を加える前のエクステンション領域は、十分に不純物が活性化していないし、また接合が浅すぎるため、エクステンション領域のシート抵抗が高すぎてトランジスタの高性能化が出来ないためである。つまり、エクステンション領域中の不純物をより活性化させて、さらにエクステンション領域をある程度深くして、エクステンション領域の低抵抗化を行わないと、高性能トランジスタを形成することは出来ない。本発明では、エクステンション領域が深くなっても、横方向の拡散は飛躍的に抑制することができるため、1000℃以上の熱処理を加えてエクステンション領域をある程度深くしても全く問題にならない。つまり、メタルゲートにおいても、少なくともチャネルをリセスした後にエクステンション領域が20nm以上の深さになるような熱処理を加えてもトランジスタ特性上全く問題にならない。

【0026】

以下、図6及び図7を参照して第2の実施例を説明する。

図6及び図7は、メタルをゲート電極とするMISFETの製造工程断面図を示している。この実施例では、nMISFET及びpMISFETで構成される相補型トランジスタを説明する。このMISFETを形成するにあたり、例えば、WSixなどのゲート電極材料を埋め込むまで（図6（a））は、第1の実施例の図3（b）までの工程と同じであるのでその説明を省略する。なお、この時までに、半導体基板は、ソース・ドレイン領域の低抵抗化を図るために1000℃以上の熱処理（リセス後あるいはゲート酸化膜形成後）を行っているので、図

6 (a) の時点では深いエクステンション領域 3 0 が形成されている。

図 6 (a) において、図の左が nM I S F E T、右が pM I S F E T である。双方の M I S F E T は、シリコンなどの半導体基板 2 1 の S T I などの素子分離領域 2 2 に区画された素子領域に形成された熱処理後の深いエクステンション領域 3 0 及びコンタクトジャンクション領域 2 7 からなるソース・ドレイン領域を有している。シリコン窒化膜及びシリコン酸化膜から構成された層間絶縁膜 2 6 には W S i x などからなるゲート電極 2 4 が埋め込まれている。半導体基板 2 1 のチャネル領域にはゲート電極 2 4 の一部が埋め込まれた窪みが形成され、半導体基板 2 1 とゲート電極 2 4 との間にはゲート絶縁膜 2 3 が介在している。

【 0 0 2 7 】

次に、図 6 (b) に示すように、半導体基板 2 1 にはゲート電極 2 4 を被覆する P t 膜 2 8 が形成される。nM I S F E T 側には、ゲート電極 2 4 と P t 膜 2 8 との間に、例えば、T i N などのバリア層 2 9 がさらに形成される。そして、P t 膜 2 8 には、安定して熱処理が行われるように、膜厚 2 0 n m 程度の T i N などのバリア層 2 5 が形成される。

次に、P t 膜 2 8 等を被覆してから 5 0 0 °C 程度で半導体基板 2 1 を熱処理する。そして、図 7 (a) に示すように、この熱処理により、pM I S F E T 側のゲート電極 2 4 は、P t 膜と反応して、W + P t S i + W S i x からなるゲート電極 3 1 に変わる。nM I S F E T 側ではバリア層 2 9 が P t と W S i x との反応を阻止しているのでゲートは、ゲート電極 2 4 のままである。

次に、図 7 (b) に示すように、P t 膜及び T i N バリア層を王水などにより除去する。このあと後工程を行う。このようにして、メタルゲートの相補型 M I S F E T が形成される。

このように、本発明は、メタルゲートの M I S F E T にも適用することができる。すなわち、メタルゲートにおいても、少なくともチャネル領域をリセスした後にエクステンション領域が 2 0 n m 以上の深さになるような熱処理を加えてもトランジスタ特性上全く問題にならない。

【 0 0 2 8 】

また、チャネル領域のリセス量は、nM I S F E T と pM I S F E T で変えて

も良い。リセス量を変えるためには、例えば、工程 3 を行った後に、まず n M I S F E T 領域だけダミーゲートを除去し、工程 7 までを順次行い、続いて、p M I S F E T 領域だけダミーゲートを除去し、工程 7 までを順次行えば、チャネル領域のリセス量を n M I S F E T と p M I S F E T で独立に変化させることが可能である。また、ダマシゲートプロセスでは一般的であるが、チャネルの不純物のイオン注入を少なくともダミーゲート電極を除去後に行っても良い。その他、これまで報告されているゲート絶縁膜形成技術やゲート電極形成技術など、本発明の趣旨を逸脱しなければ、様々な組み合わせが可能である。

【 0 0 2 9 】

以上、本発明の半導体装置の製造方法によってトランジスタを試作し、その特性結果を示す。図 8 は、このトランジスタのしきい値をゲート長に対してプロットした図である。縦軸がしきい値 (V_{th} (V)) を示し、横軸がトランジスタのゲート長 (L_{gate} (nm)) を示している。図に示すように、チャネル領域の窪み深さ (リセス量 (recessed depth)) が 2 nm から 6 nm に増えるに従って、短いゲート長でしきい値が下がってしまうショートチャネル効果が改善されているのが分かる。そして、リセス量が 6 nm においては、ゲート長 35 nm においても良好なトランジスタ特性を示している。このトランジスタは、当然現在のイオン注入技術と活性化熱処理技術を用いて形成されている。熱処理技術をあと少し改善すれば (具体的には 1000℃ 以上の熱処理をより短時間化すれば)、ゲート長 15 nm の動作も可能であることがわかる。

なお、本発明は、前述した実施例に限定されるものではない。本発明の技術思想の範囲内において各実施例は、適宜変更される得ることはいうまでもない。

以上、本発明は、従来と同様のイオン注入技術と活性化技術を用いて、より微細であり、且つ高性能なトランジスタを形成することが可能になった。

【 0 0 3 0 】

【発明の効果】

本発明は、エクステンション領域の不純物の導電型とは逆の導電型の不純物をエクステンション領域に打ち込むことによってその部分を実質的にエクステンション領域ではなくするという手法にあまり頼らずに、具体的には、エクステンシ

オン領域に打ち込む逆導電型の不純物の量は最低限に減らすことができ、且つ現在のイオン注入技術と活性化熱処理技術を用いて微細なM I S F E Tを実現できるソース・ドレイン領域のエクステンション領域を形成可能とすることができる。また、本発明の半導体装置の製造方法は、ゲート電極中の不純物を活性化させるなどの熱処理によっても半導体基板中の不純物がゲート電極下を横方向に拡散することは従来より各段に少なくすることができ、微細なM I S F E Tを実現できるエクステンション領域の形成が可能になる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施例におけるポリシリコンをゲート電極とするM I S F E Tの製造工程断面図。

【図 2】

本発明の第 1 の実施例におけるポリシリコンをゲート電極とするM I S F E Tの製造工程断面図。

【図 3】

本発明の第 1 の実施例におけるポリシリコンをゲート電極とするM I S F E Tの製造工程断面図。

【図 4】

本発明の第 1 の実施例におけるポリシリコンをゲート電極とするM I S F E Tの製造工程断面図。図 4 (b) は、図 4 (a) に示すM I S F E Tの斜視図。

【図 5】

本発明の第 1 の実施例における作用効果を説明する熱処理前後のゲート電極端を含む部分を拡大した半導体基板平面図。

【図 6】

本発明の第 2 の実施例におけるメタルをゲート電極とするM I S F E Tの製造工程断面図。

【図 7】

本発明の第 2 の実施例におけるメタルをゲート電極とするM I S F E Tの製造工程断面図。

【図 8】

本発明の半導体装置におけるしきい値のゲート長依存性を示す特性図。

【図 9】

従来の半導体装置の製造方法を示す工程断面図。

【図 1 0】

従来の半導体装置の製造方法を示す工程断面図。

【図 1 1】

従来の半導体装置の製造方法の問題点を説明する半導体基板内部の特性図。

【図 1 2】

従来の半導体装置の製造方法の問題点を説明する半導体基板内部の特性図。

【図 1 3】

従来の半導体装置の製造方法の問題点を説明する半導体基板の部分断面図。

【図 1 4】

従来の半導体装置の製造方法の問題点を説明する半導体基板の部分断面図。

【符号の説明】

- 1、21、101・・・半導体基板、
- 2、22、102・・・素子分離領域、
- 3・・・ダミーのゲート絶縁膜、 4・・・ダミーのゲート電極、
- 5、105・・・エクステンション領域、
- 6、106・・・ゲート側壁絶縁膜、
- 7、27、107・・・コンタクトジャンクション領域、
- 8・・・ライナーシリコン窒化膜、 9・・・シリコン酸化膜、
- 10・・・ゲート開口溝、 11・・・プラズマ酸化膜、
- 12・・・リセスドチャネル、 13、23・・・ゲート絶縁膜、
- 14、24、31・・・ゲート電極、
- 15、30、108・・・熱処理により深くなったエクステンション領域、
- 16、109・・・シリサイド層、
- 17、110・・・ソース・ドレイン領域内の高濃度拡散領域、
- 25、29・・・バリア層、 26・・・層間絶縁膜、

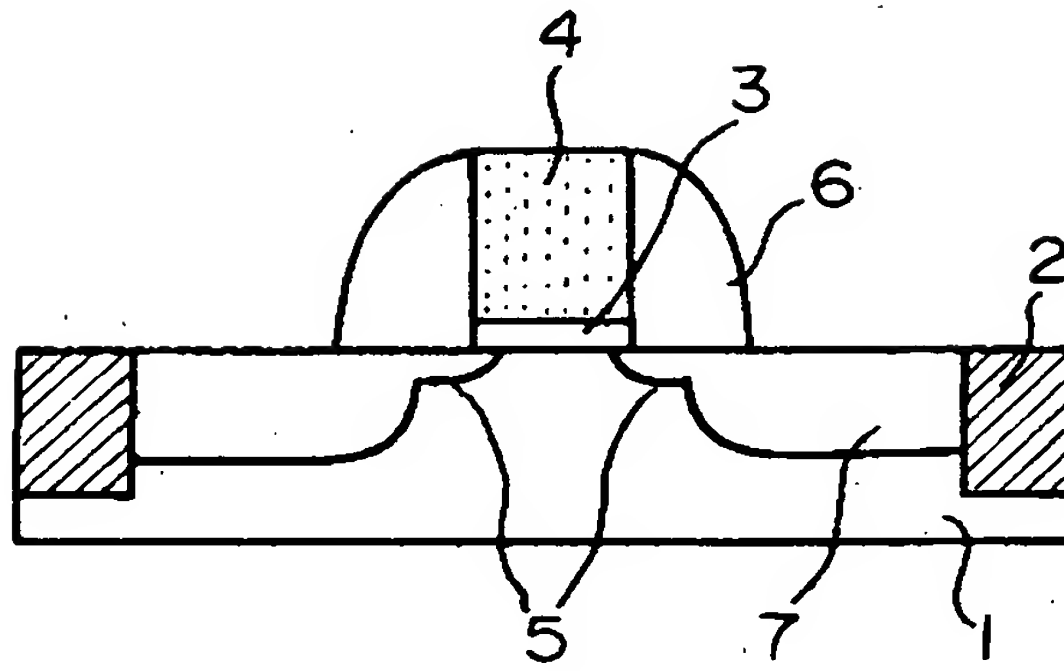
2 8 . . . P t 膜、 1 0 3 . . . ゲート窒化酸化膜、
1 0 4 . . . ゲート電極（ポリシリコン膜）

【書類名】

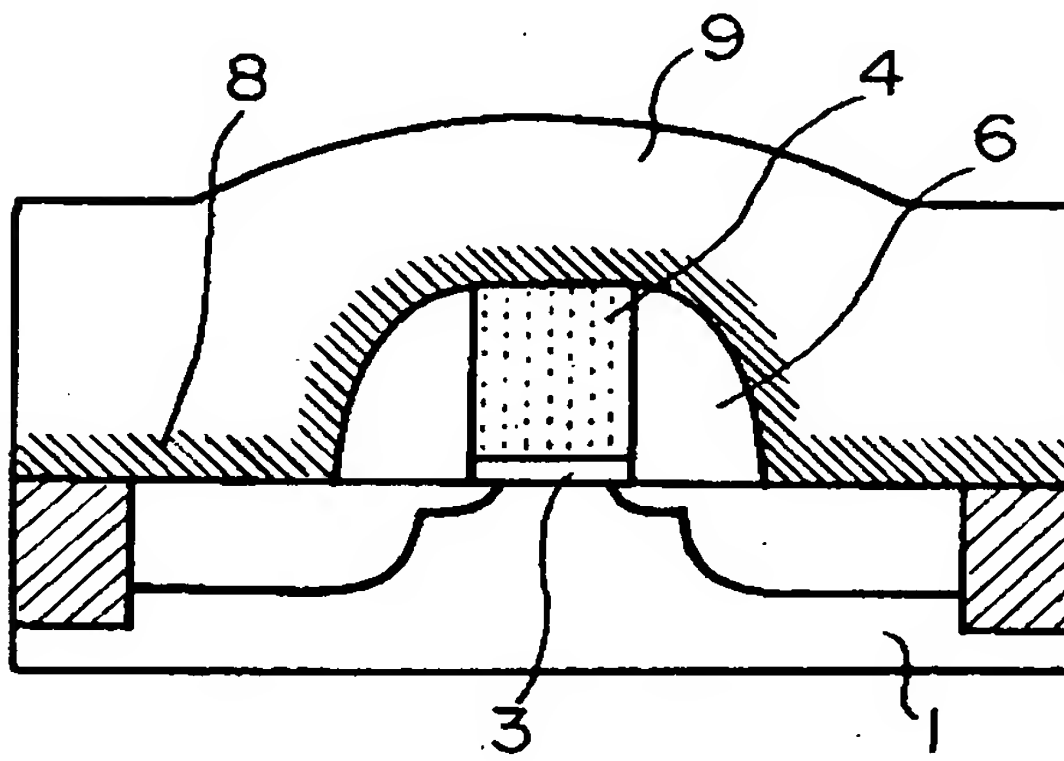
図面

【図 1】

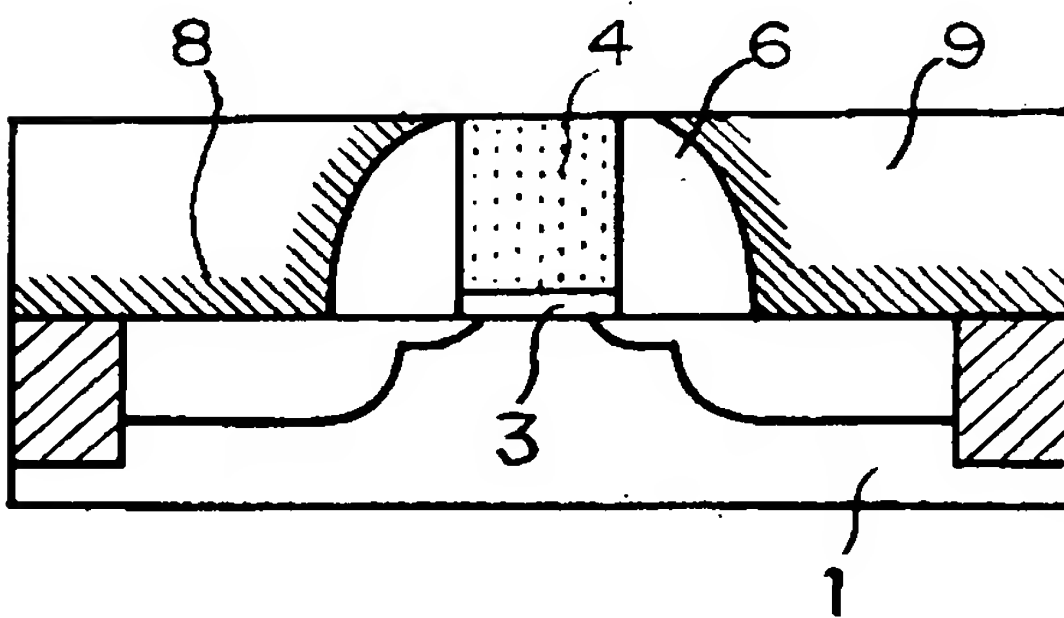
(a)



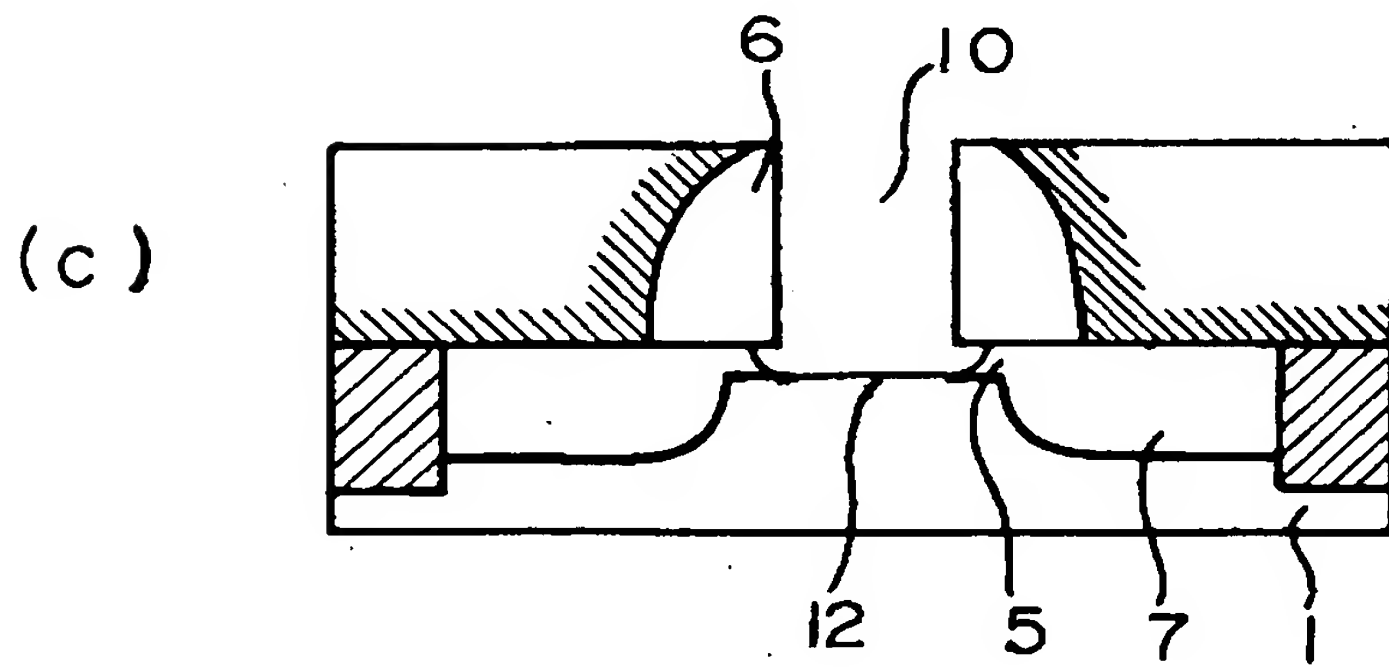
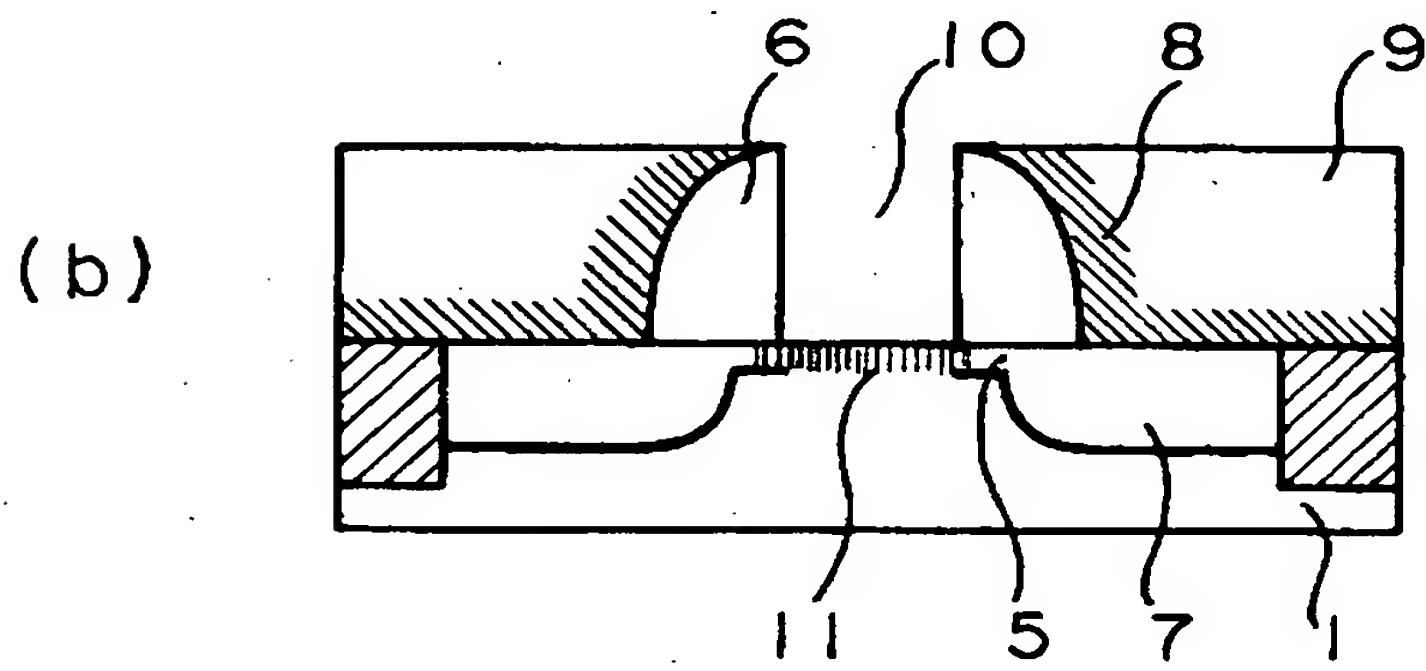
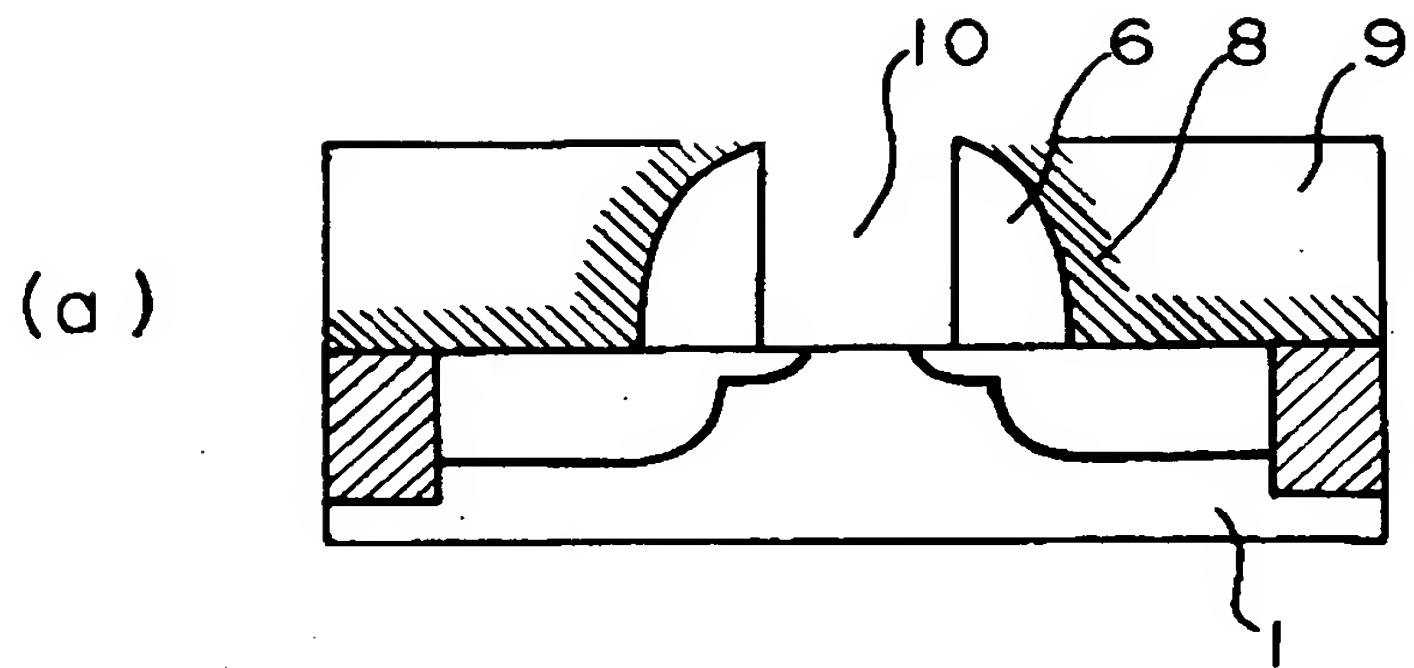
(b)



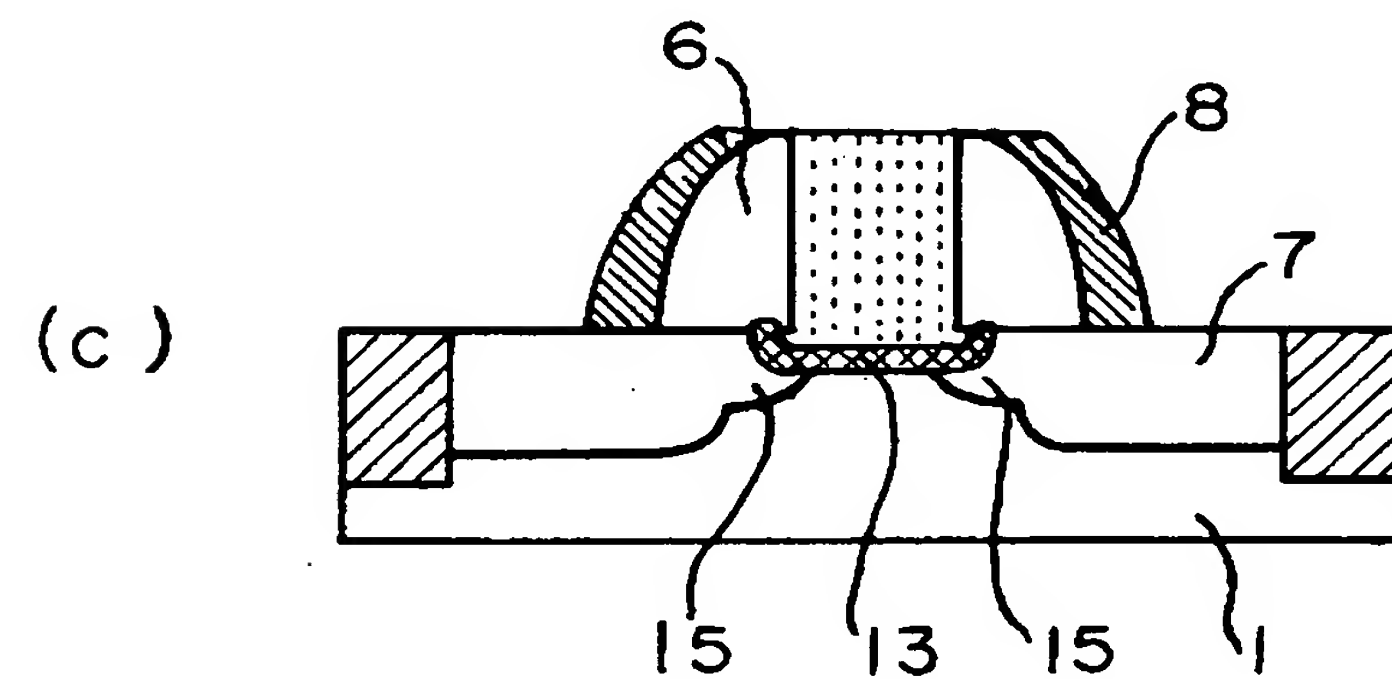
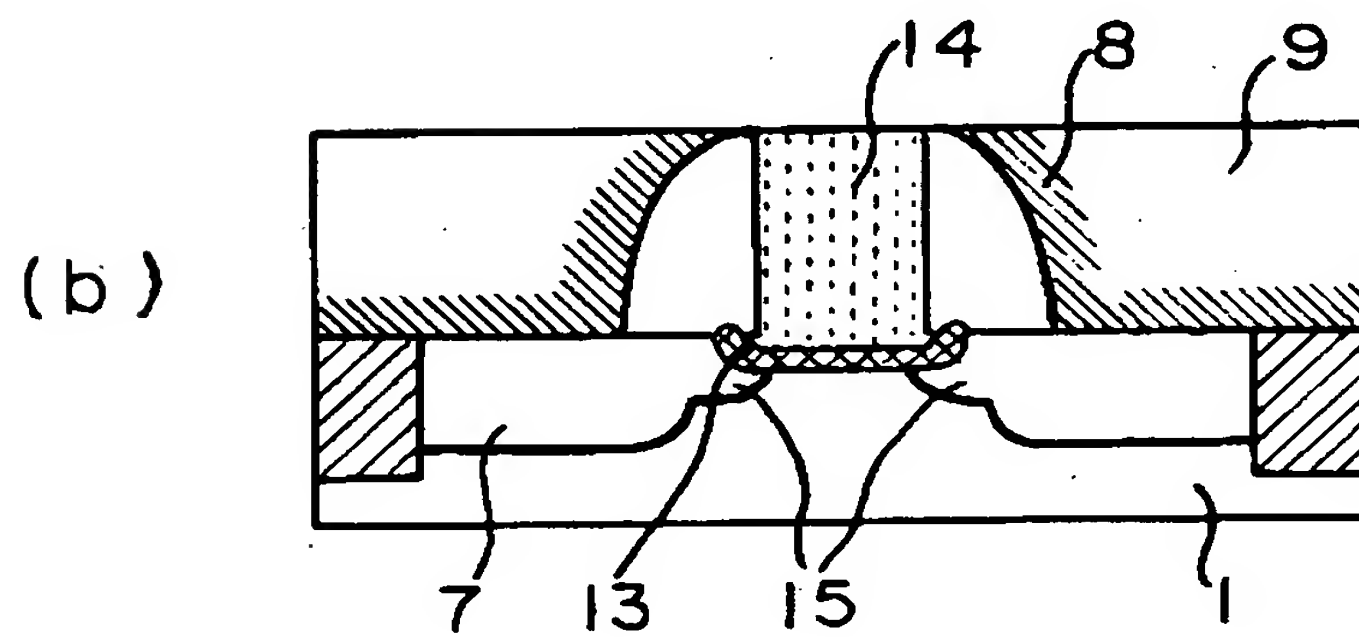
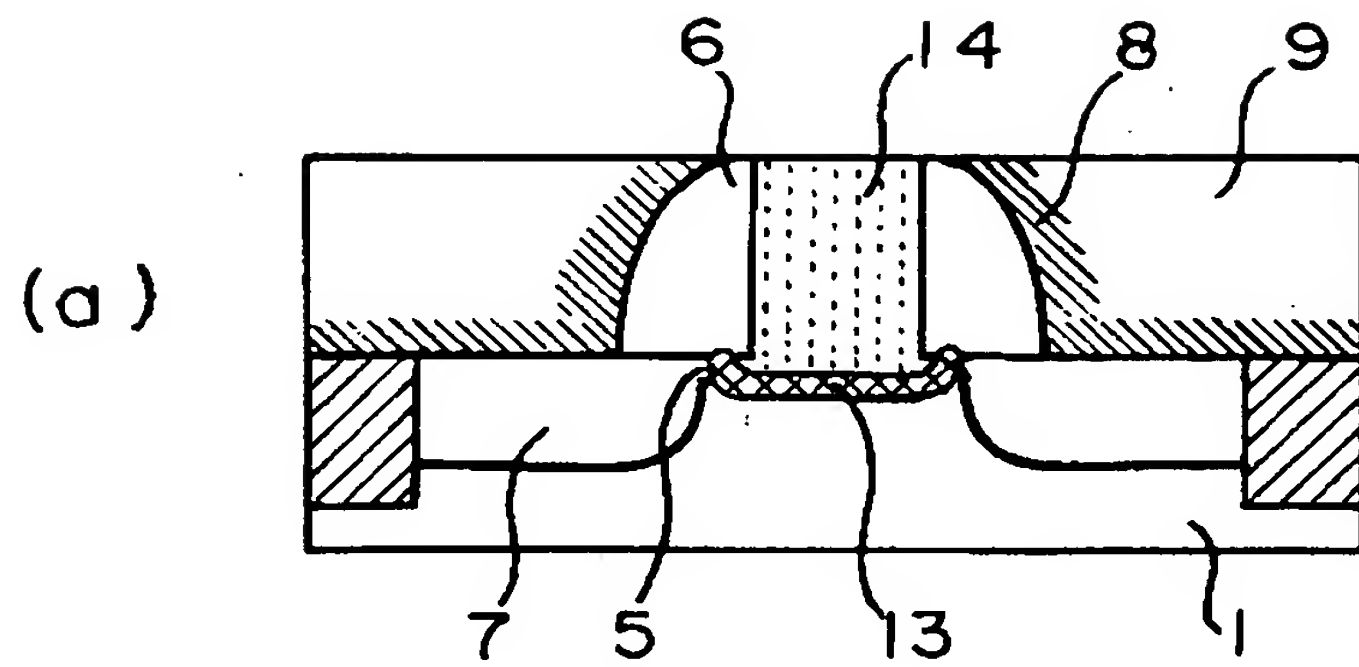
(c)



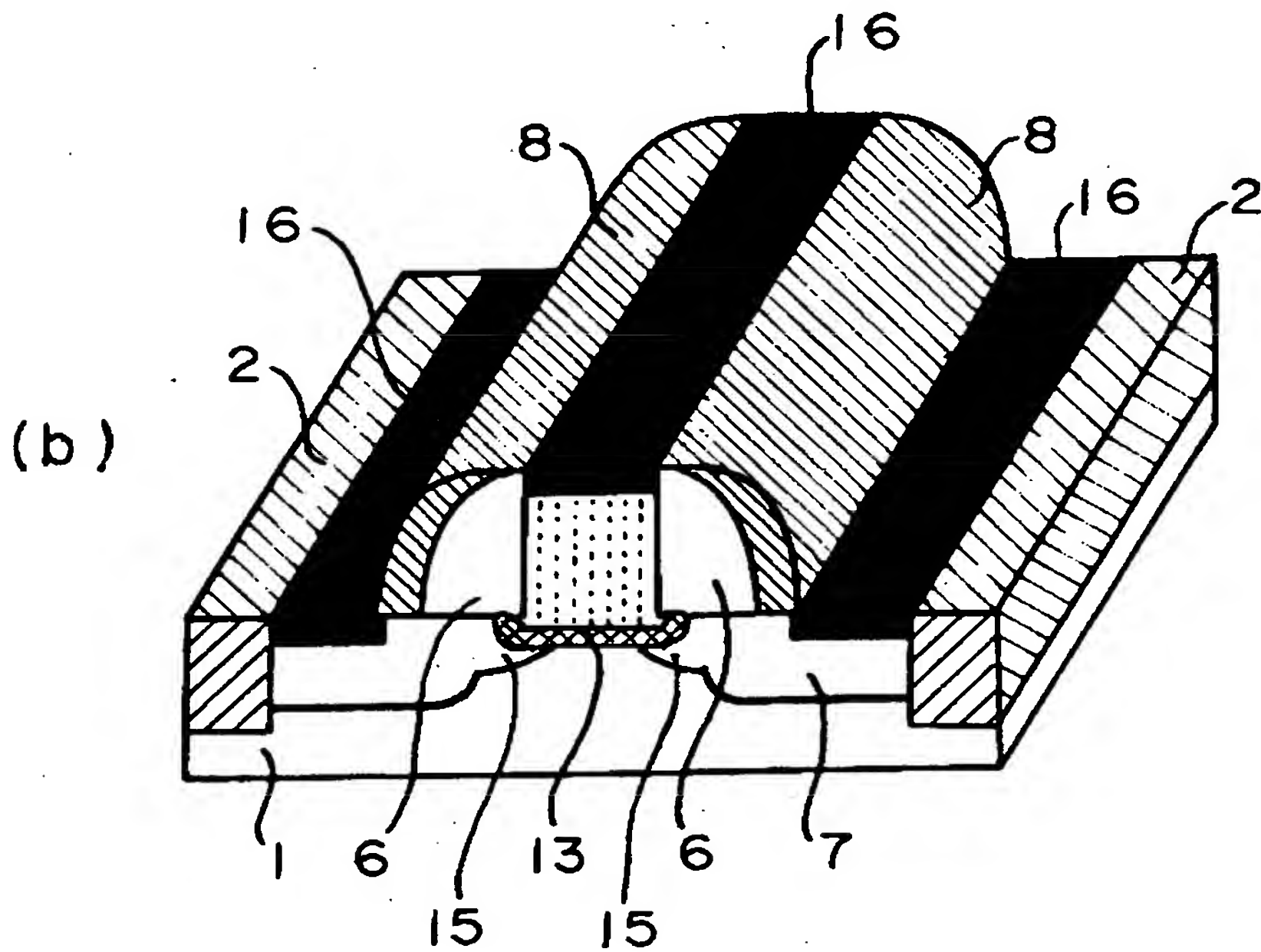
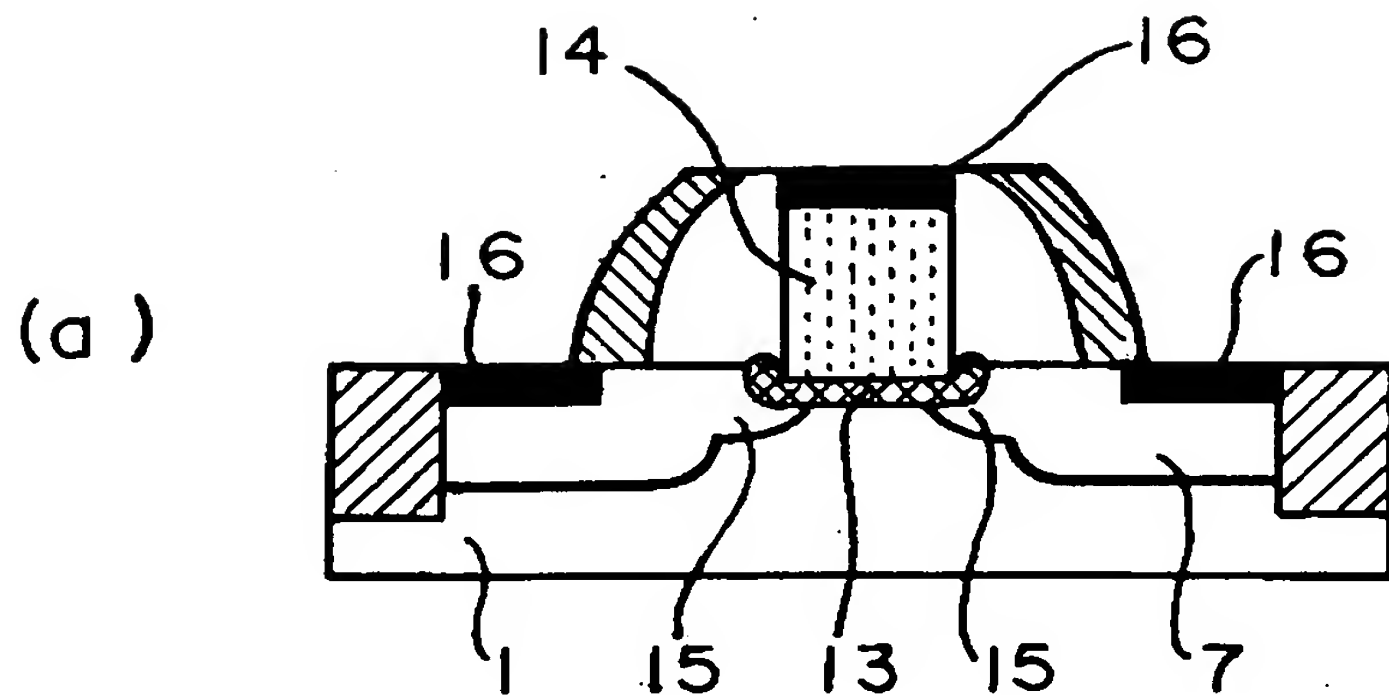
【図 2】



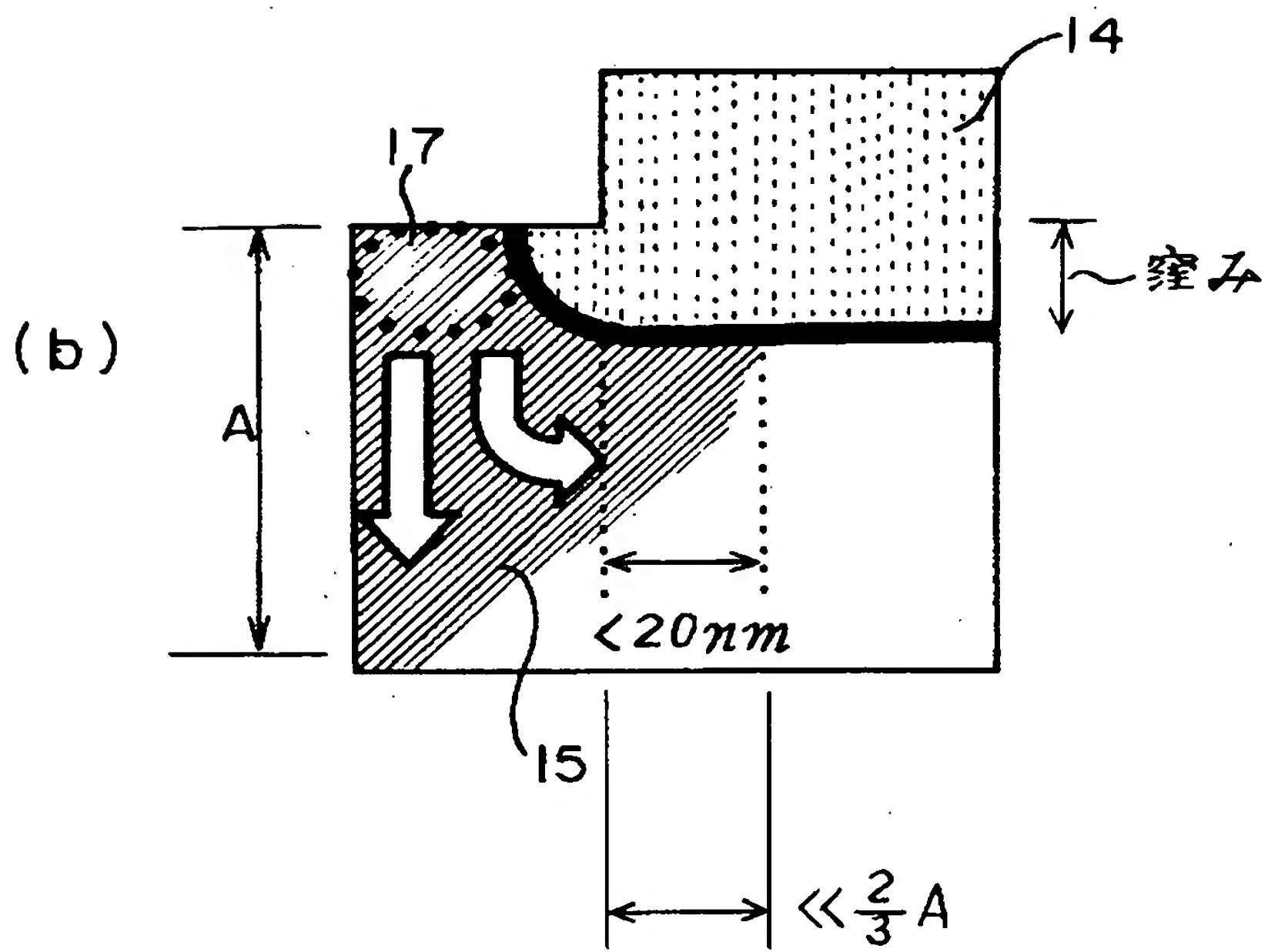
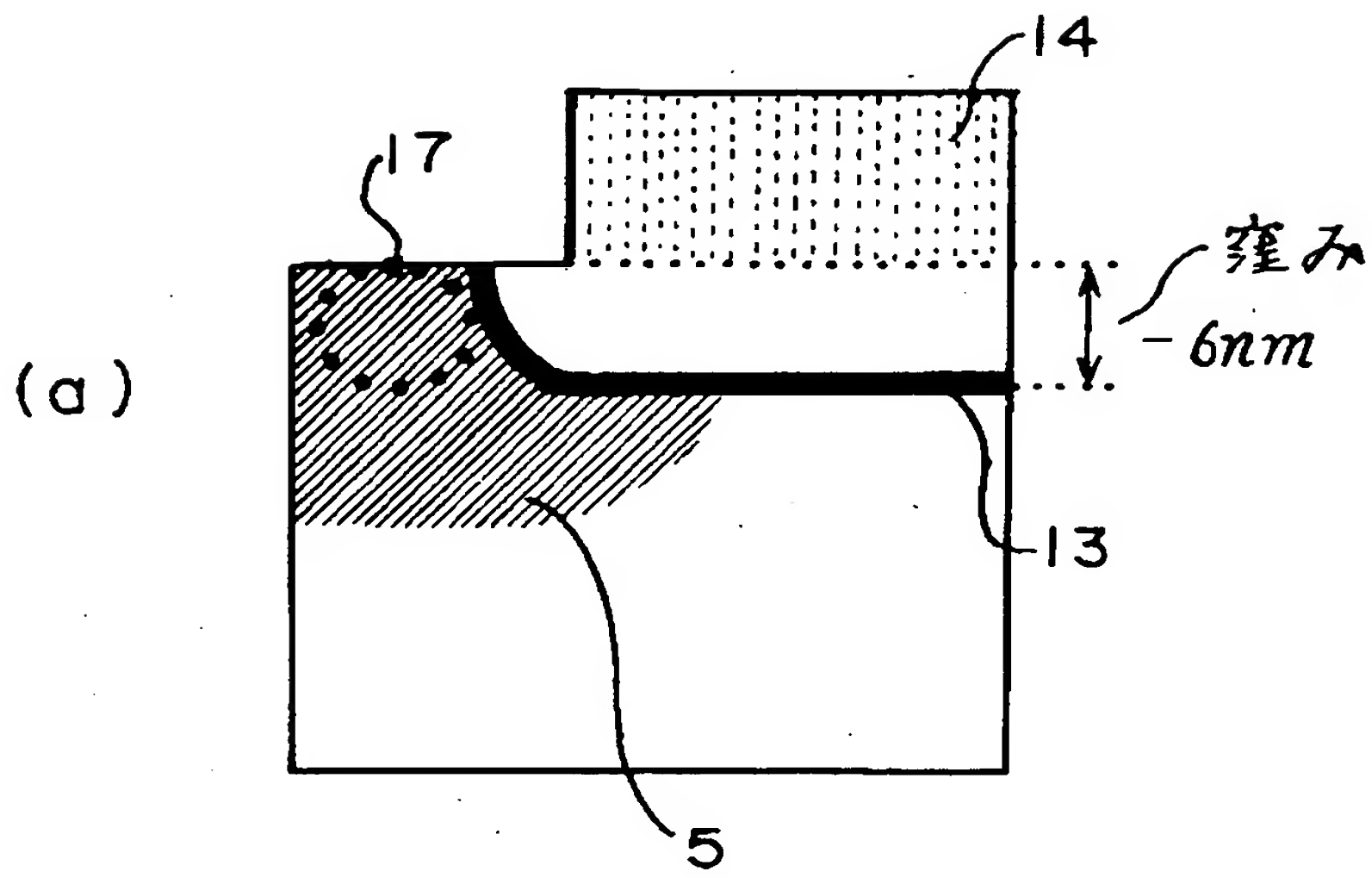
【図 3】



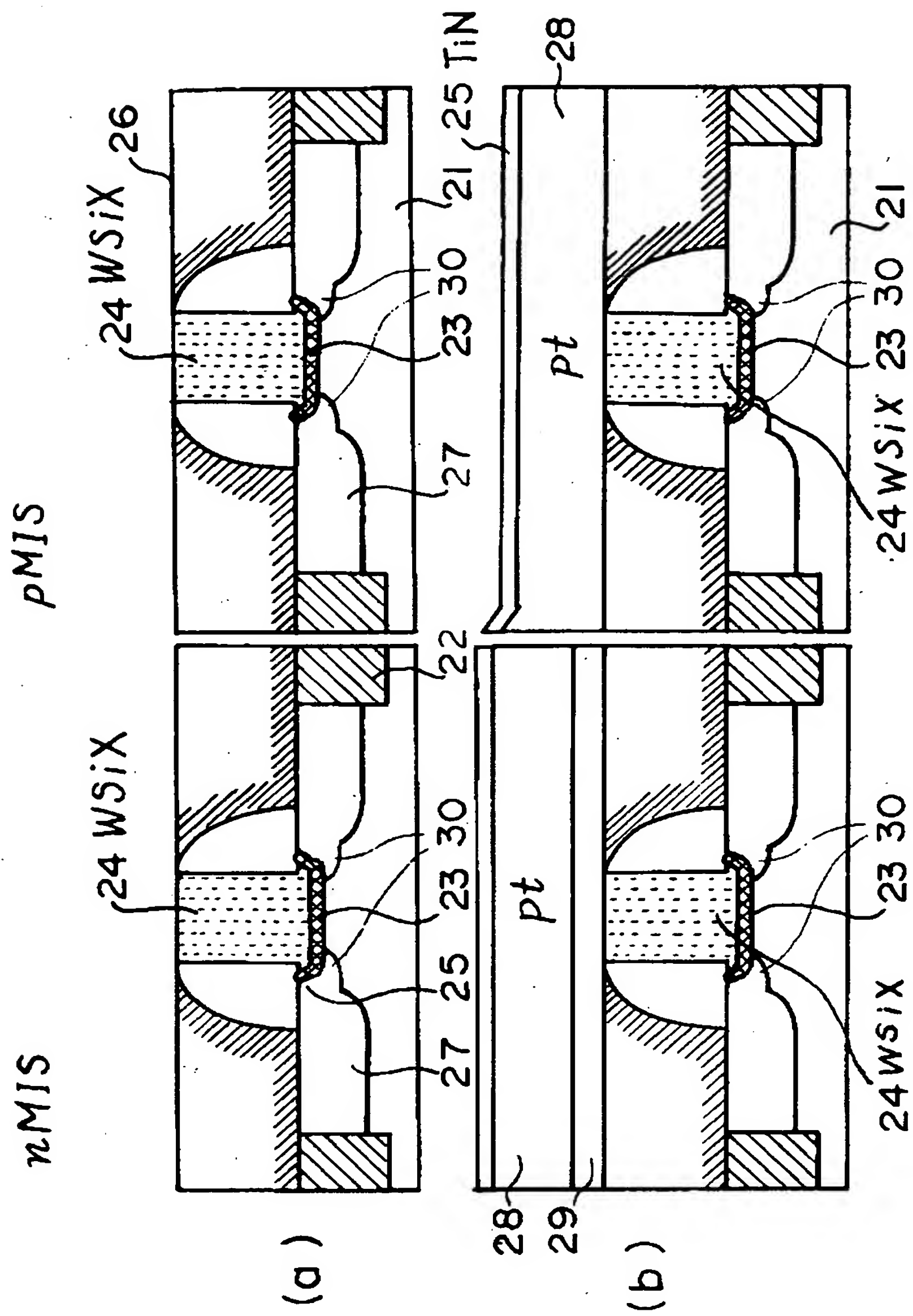
【図 4】



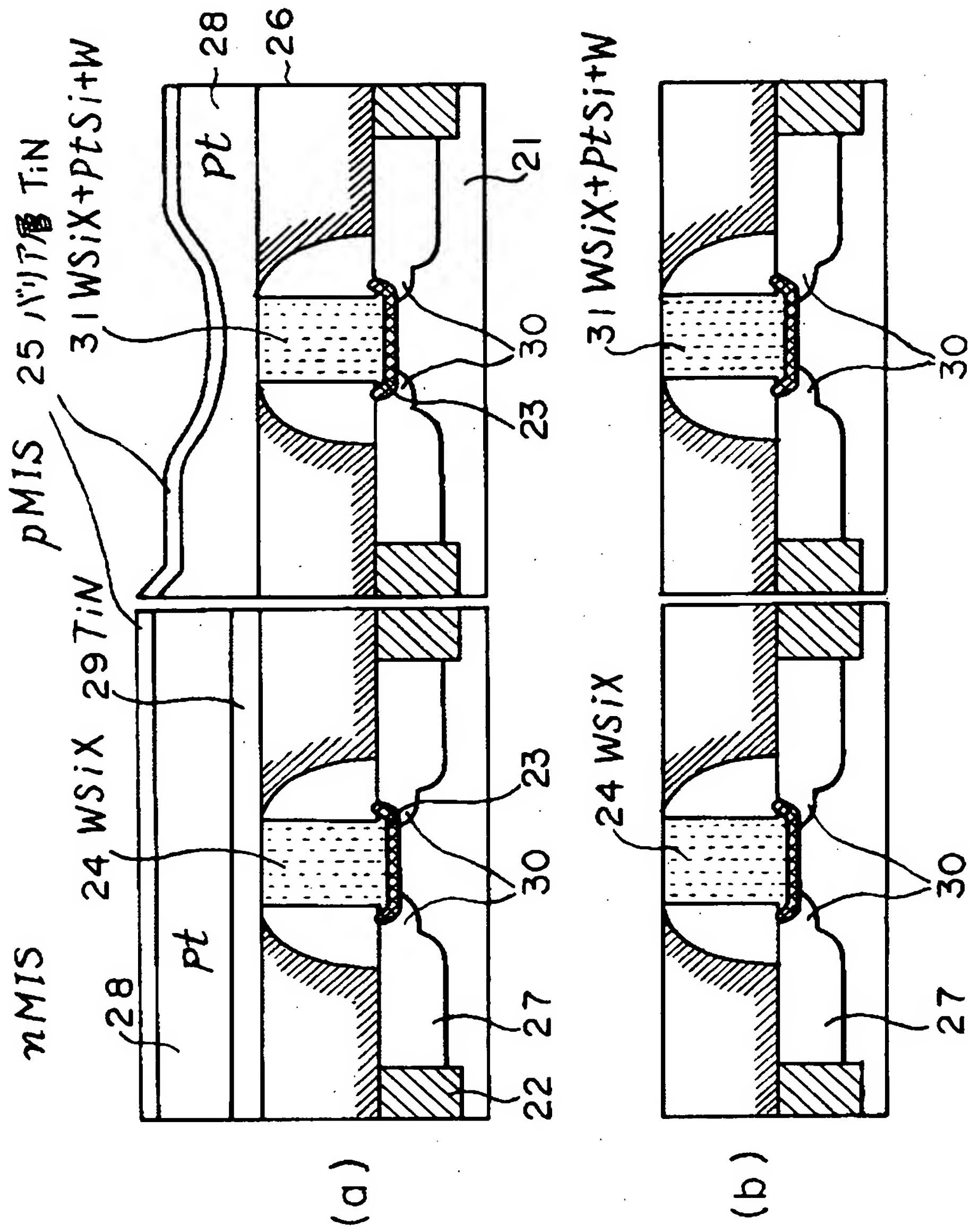
【図 5】



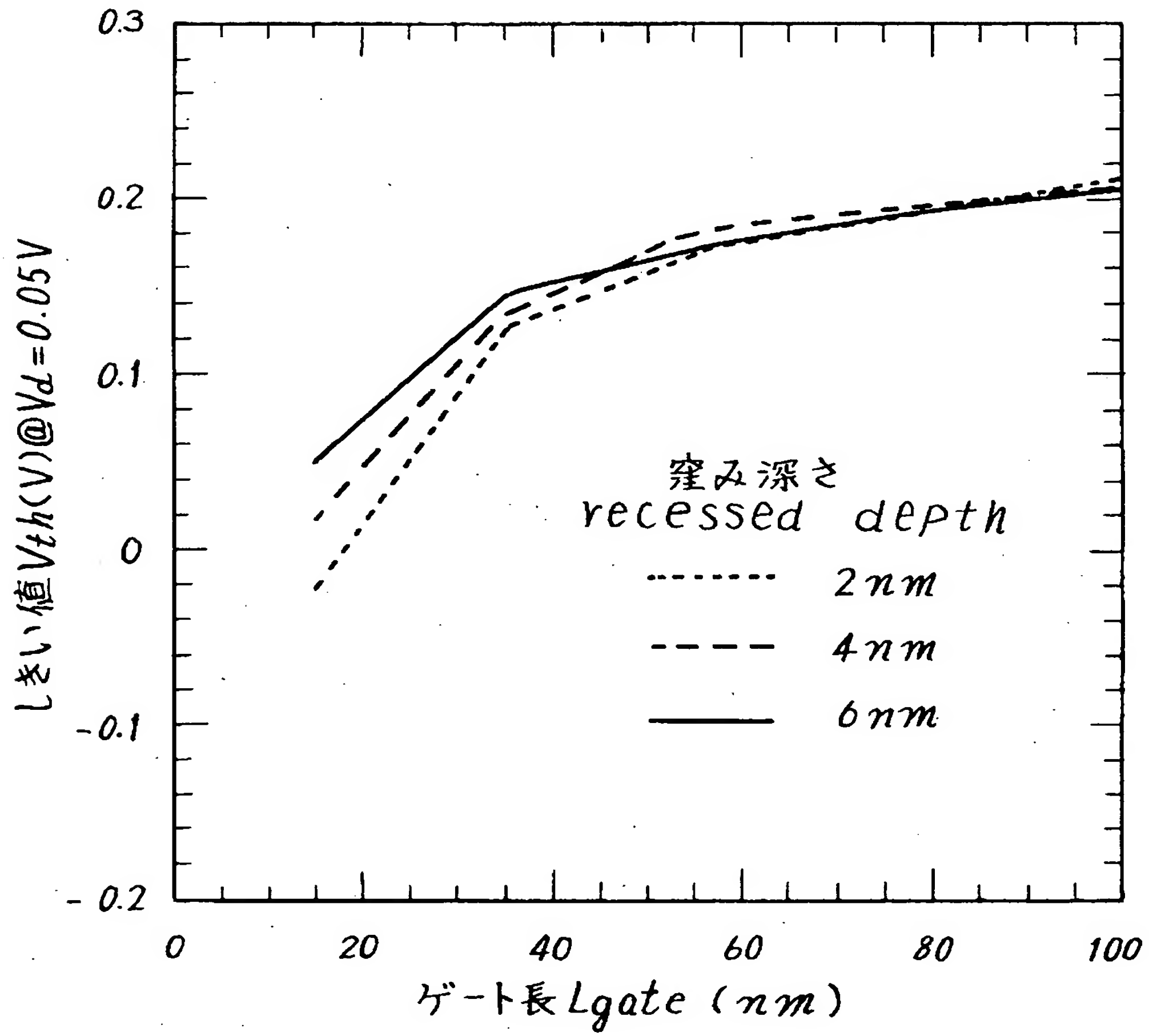
【図 6】



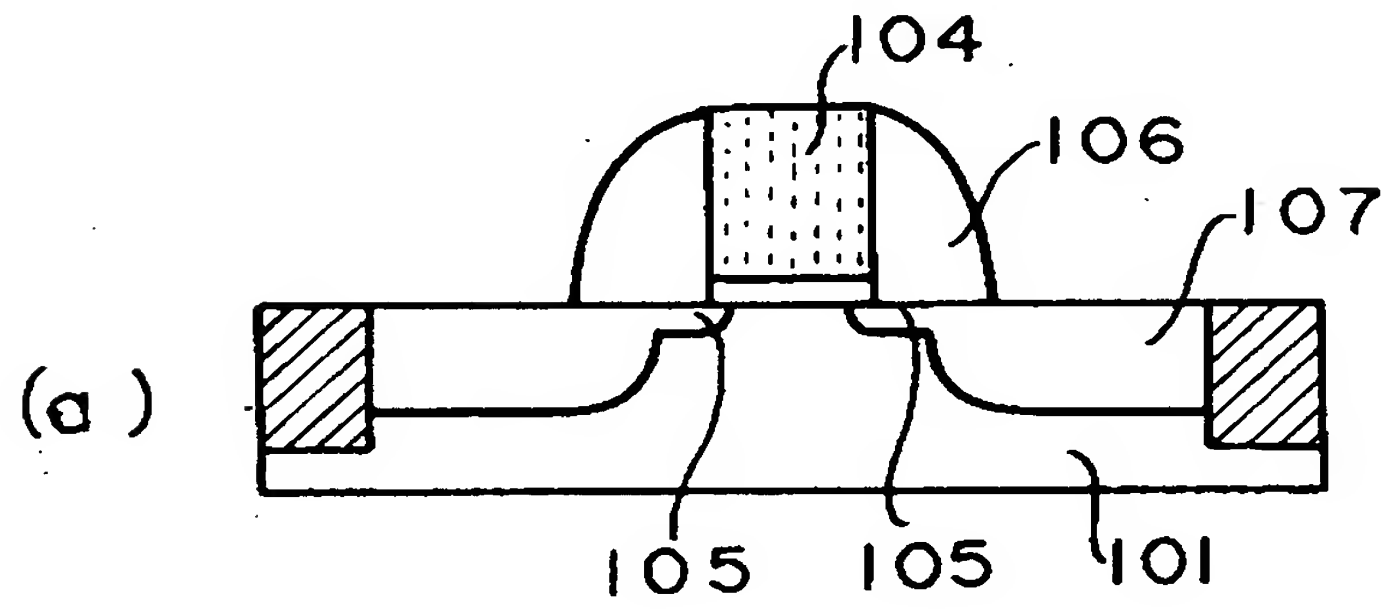
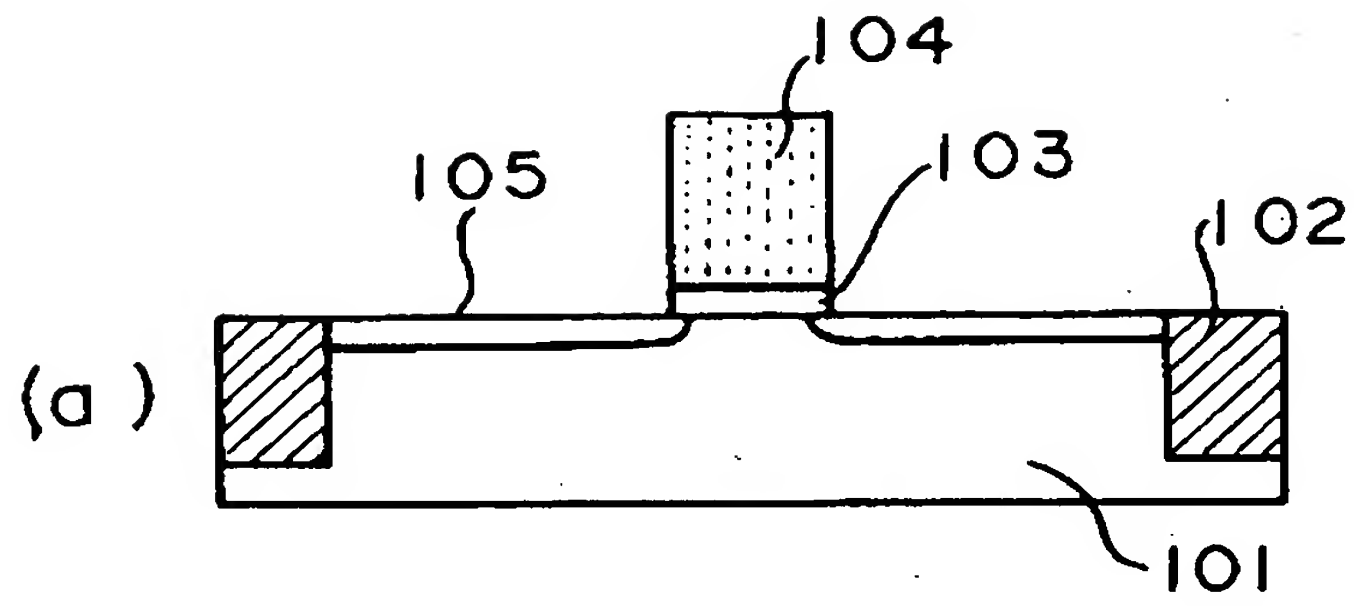
【図7】



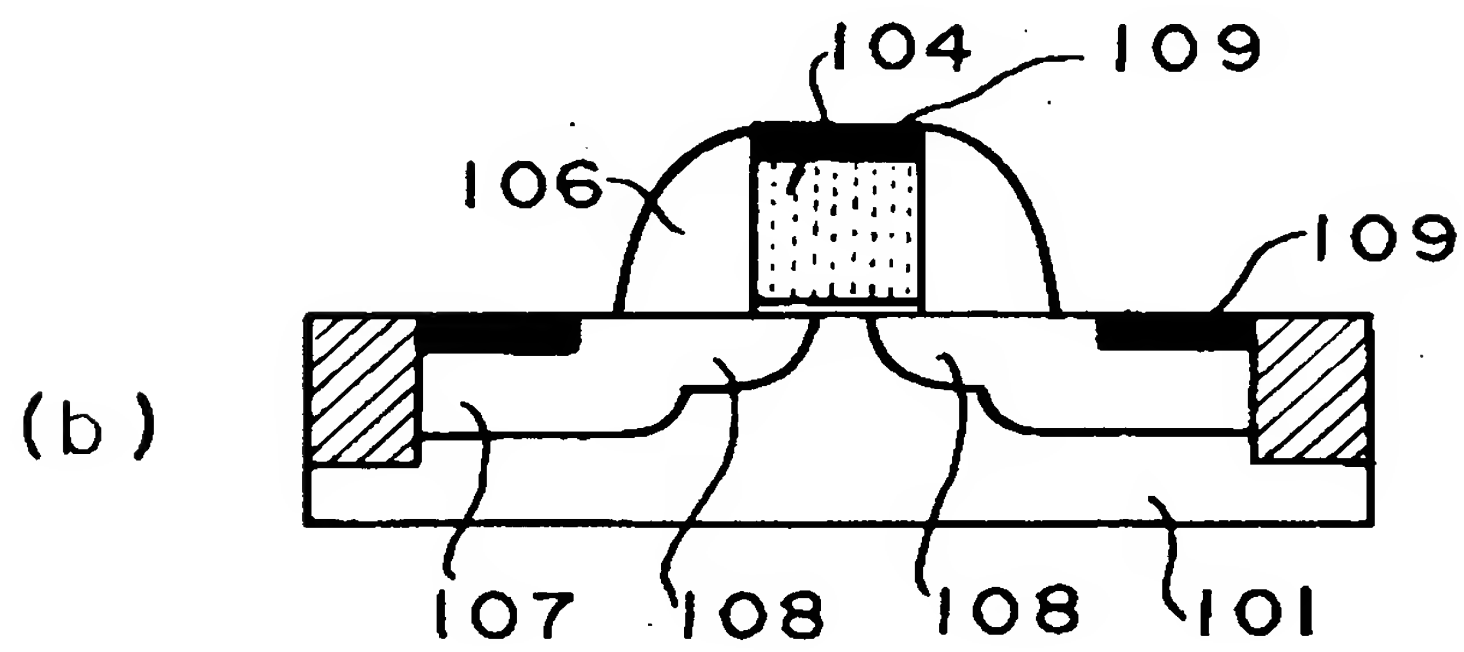
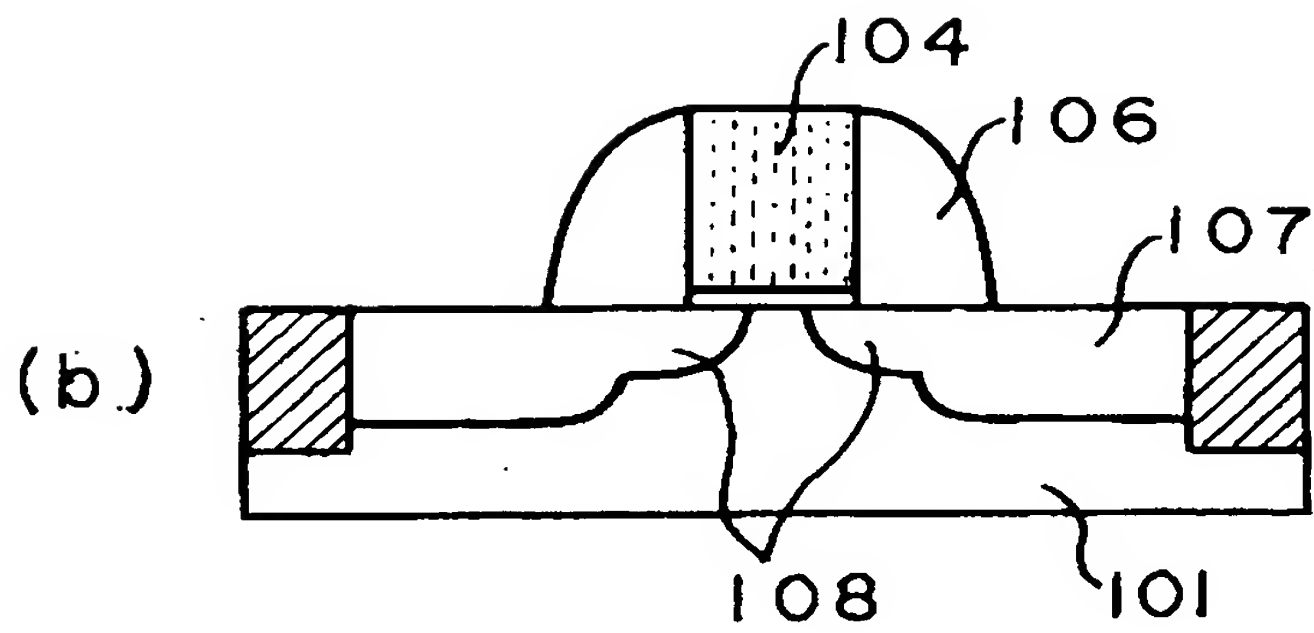
【図 8】



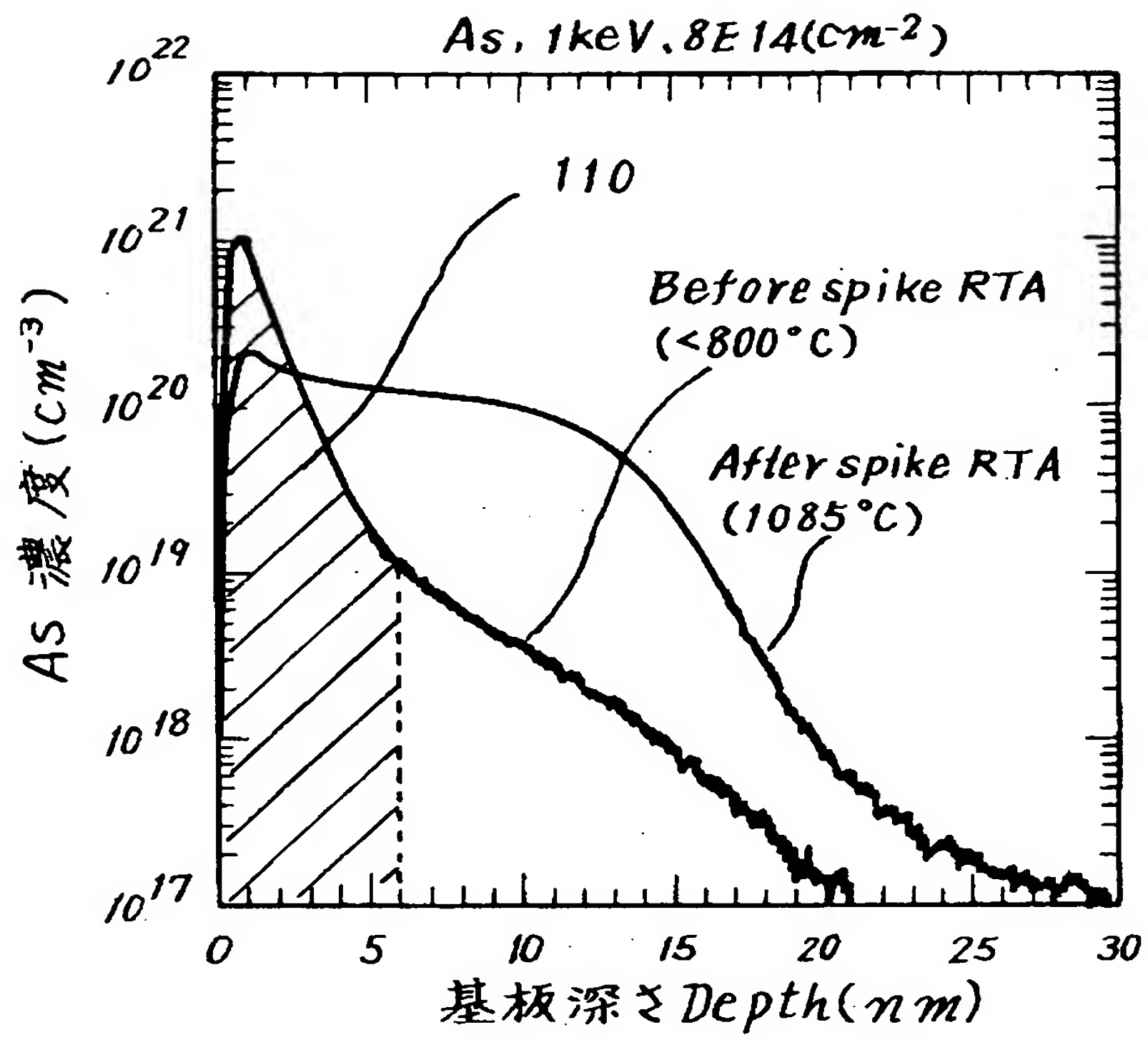
【図 9】



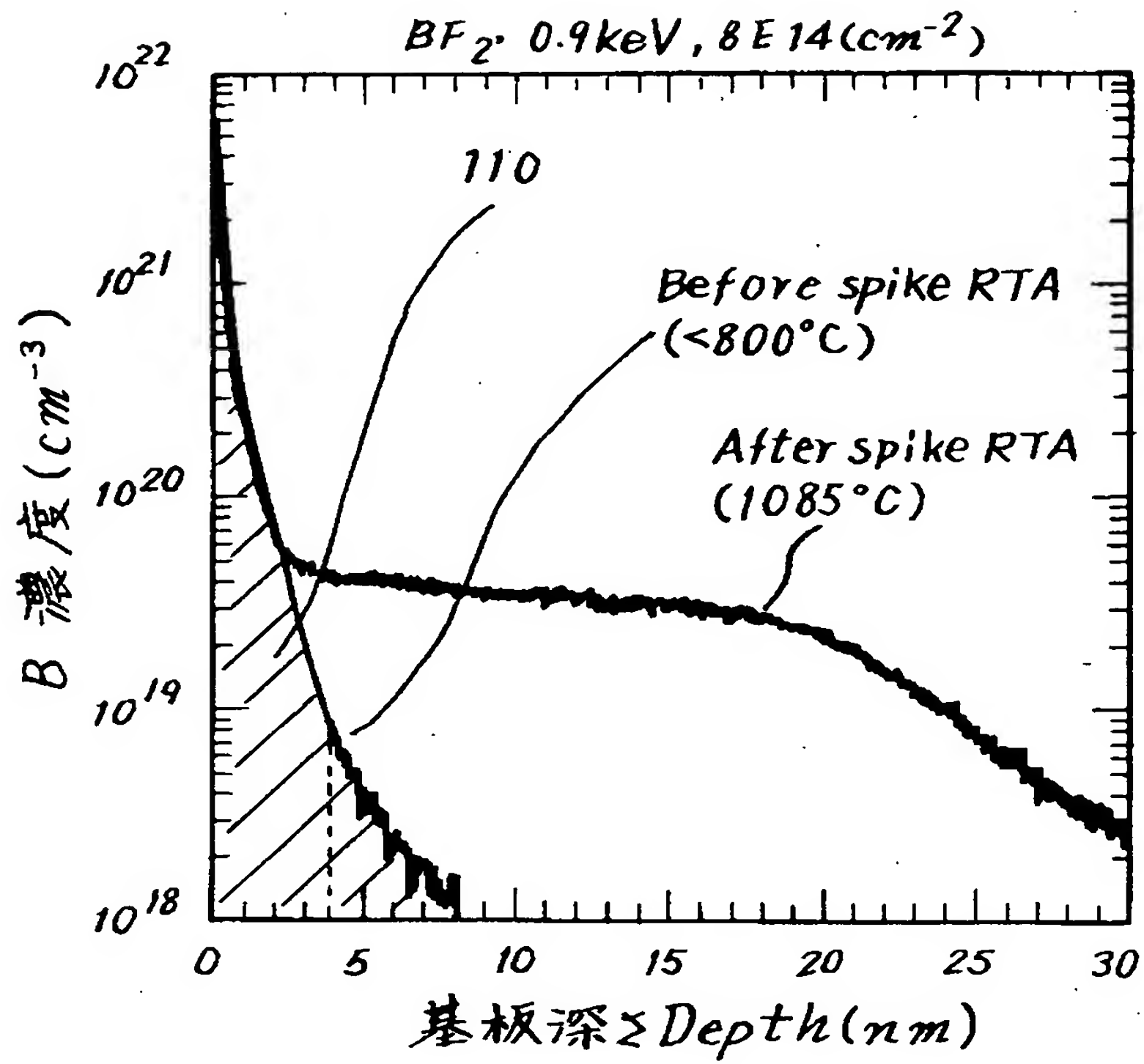
【図 1 0】



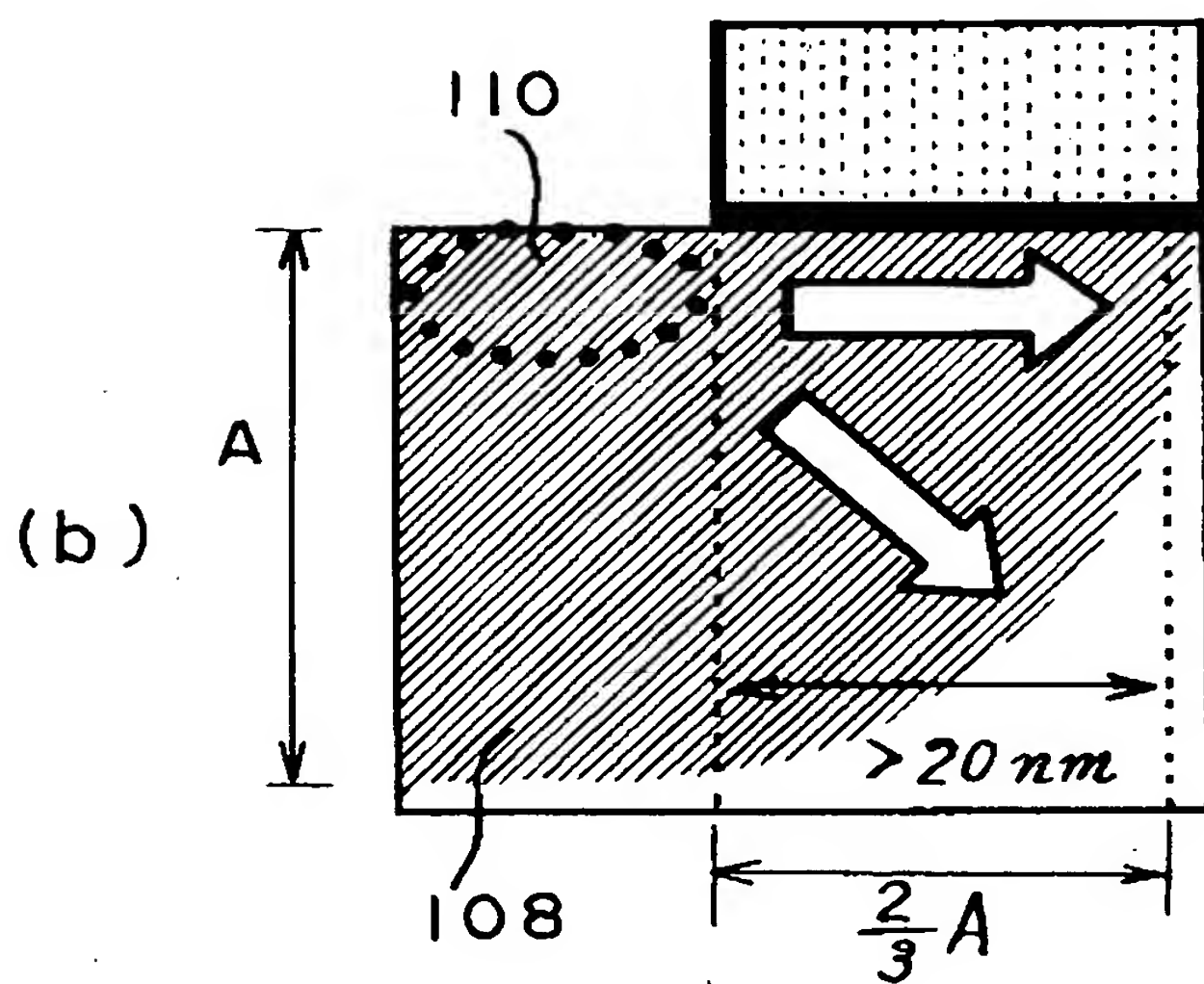
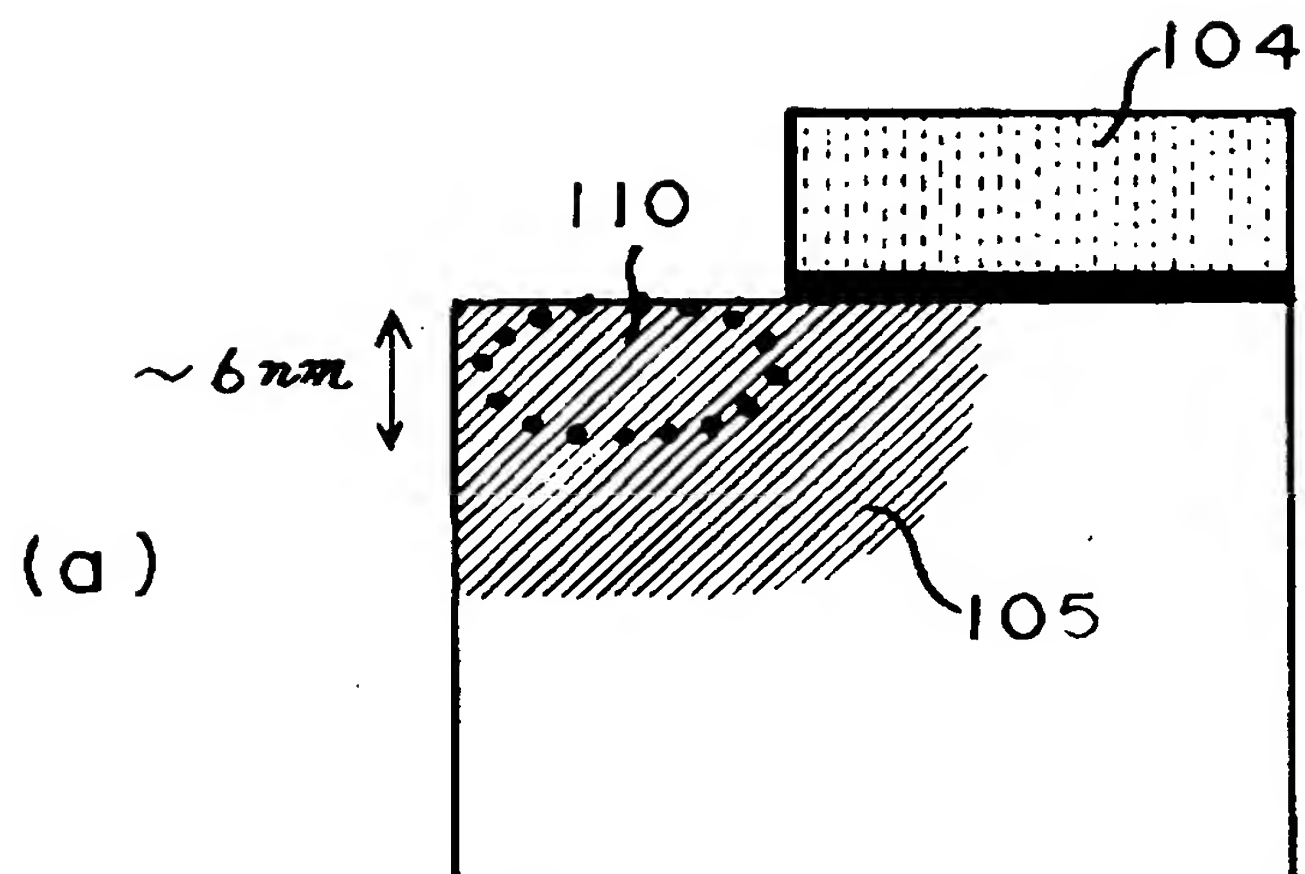
【図 11】



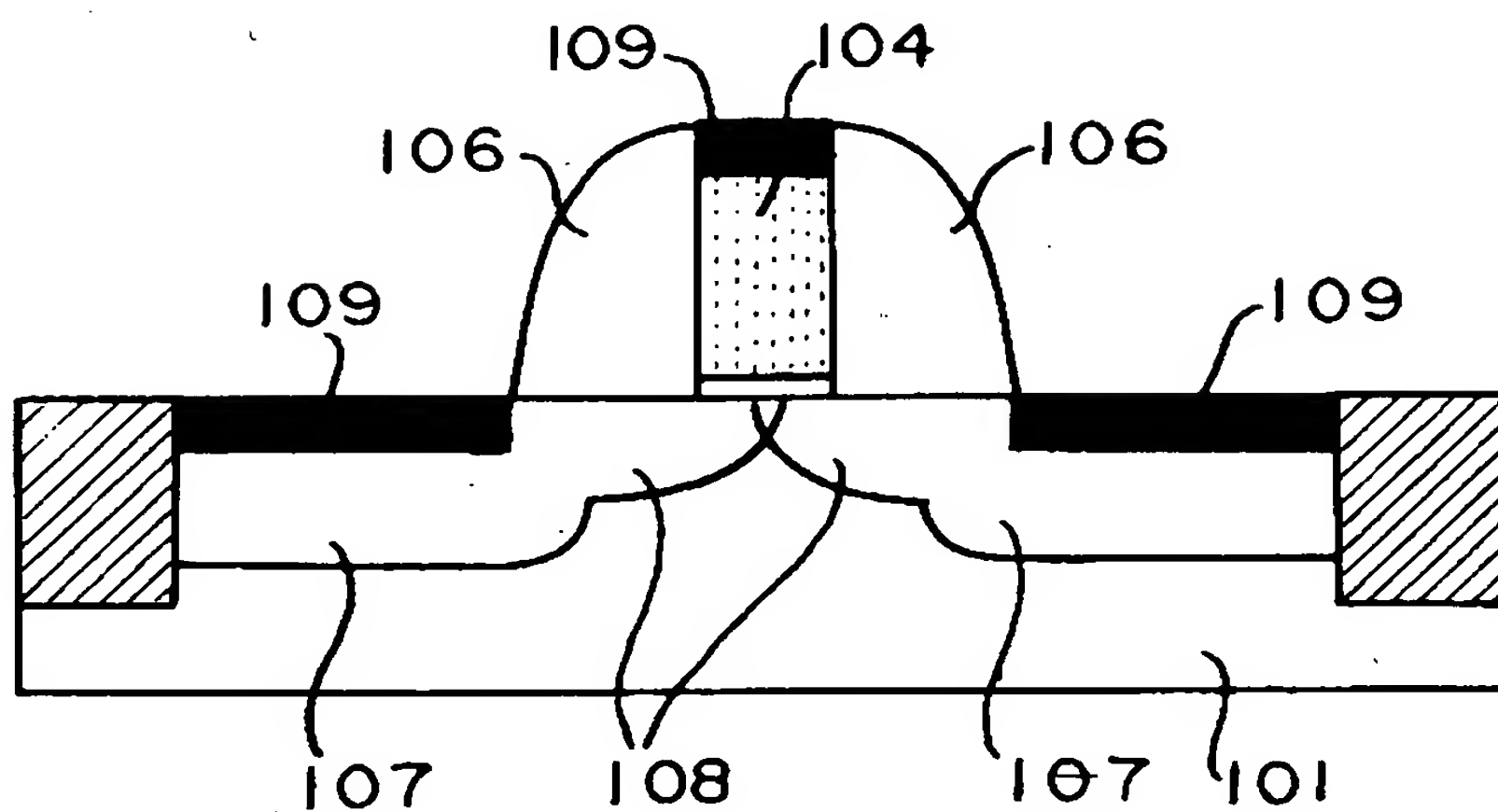
【図 1 2】



【図 1 3】



【図 1 4】



【書類名】

要約書

【要約】

【課題】 現在のイオン注入技術と活性化熱処理技術を用いて微細なM I S F E Tを実現できるエクステンション領域をもつ半導体装置を提供する。

【解決手段】 半導体基板1のゲート電極14下部に位置する部分がソース・ドレイン領域が形成された他の部分より窪んでいる。窪み深さはエクステンション領域のイオン注入時における不純物濃度ピークの基板表面からの深さより深く、6nm以下が良い。ソース・ドレイン領域のエクステンション領域15がゲート電極下を延在する部分の長さはエクステンション領域の深さの2/3より十分小さくなり、微細化が実現できる。また、半導体基板のゲート電極形成領域に窪みを形成し、その領域にゲート絶縁膜13等をプラズマ酸化等の600℃以下の低温で形成し、その上にゲート電極を堆積させる。この後に行われるゲート電極中の不純物を活性化させる等の1000℃以上の熱処理によっても不純物がゲート電極下を横方向に拡散することは従来より格段に少なくなる。

【選択図】 図4

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 3 0 7 8]

1. 変更年月日	2 0 0 1 年 7 月 2 日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目 1 番 1 号
氏 名	株式会社東芝